

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

J1017 U.S. PTO
06/865704

05/29/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application: 2000年 5月30日

出願番号
Application Number: 特願2000-159685

出願人
Applicant(s): 株式会社デンソー

2001年 3月16日

特許庁長官
Commissioner,
Patent Office

及川耕造

出証番号 出証特2001-3018964

【書類名】 特許願

【整理番号】 N000150

【提出日】 平成12年 5月30日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/302

【発明の名称】 半導体装置およびその製造方法

【請求項の数】 26

【発明者】

【住所又は居所】 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

【氏名】 伊藤 裕康

【発明者】

【住所又は居所】 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

【氏名】 加藤 政利

【発明者】

【住所又は居所】 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

【氏名】 荒川 隆史

【特許出願人】

【識別番号】 000004260

【氏名又は名称】 株式会社デンソー

【代表者】 岡部 弘

【代理人】

【識別番号】 100071135

【住所又は居所】 名古屋市中区栄四丁目6番15号 名古屋あおば生命ビル

【弁理士】

【氏名又は名称】 佐藤 強

【電話番号】 052-251-2707

【手数料の表示】

【予納台帳番号】 008925

特2000-159685

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9200169

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項1】 表面が第1導電型の半導体基板と、

この半導体基板の表面に第2導電型不純物を複数回のイオン注入により導入して深さ方向に対する濃度分布が平坦で島状に形成される第2導電型領域と、

この第2導電型領域内に第1導電型不純物を導入して形成される第1導電型領域と、

前記半導体基板の前記第1導電型領域の表面から少なくとも前記第2導電型領域に達するように形成された溝と、

この溝内壁面に形成された絶縁膜と、

前記溝内に前記絶縁膜を介した状態で充填された多結晶シリコンからなる電極部とから構成されていることを特徴とする半導体装置。

【請求項2】 請求項1に記載の半導体装置において、

前記ゲート電極は、前記多結晶シリコンを前記溝の開口部端部よりも延出して残すことにより縦断面がT字型に形成されていることを特徴とする半導体装置。

【請求項3】 表面が第1導電型の半導体基板と、

この半導体基板の表面に第2導電型不純物が導入されて島状に形成される第2導電型領域と、

この第2導電型領域内に第1導電型不純物を高濃度で導入して形成される高濃度第1導電型領域と、

前記半導体基板の前記第1導電型領域の表面から少なくとも前記第2導電型領域に達するように形成された複数の第1の溝と、

この第1の溝内壁面に形成された絶縁膜と、

前記第1の溝内に前記絶縁膜を介した状態で充填された多結晶シリコンからなる電極部と、

隣接する前記第1の溝の間に位置する前記島状の第2導電型領域にその第1の溝に平行となるように形成された複数の第2の溝と、

この第2の溝部分からイオン注入により導入される第2導電型の不純物により

形成された前記第2導電型領域よりも接合深さが深い第2導電型突出領域と、を備えたことを特徴とする半導体装置。

【請求項4】 請求項2に記載の半導体装置において、

前記ゲート電極は、前記多結晶シリコンを前記溝の開口部端部よりも延出して残すことにより縦断面がT字型に形成されていることを特徴とする半導体装置。

【請求項5】 請求項3または4に記載の半導体装置において、

前記高濃度第1導電型領域と前記第2の溝部分を介して前記第2導電型突出領域とを電気的に接触させる電極を形成可能なコンタクト孔が形成されていることを特徴とする半導体装置。

【請求項6】 請求項5に記載の半導体装置において、

前記コンタクト孔は、前記複数の第2の溝のうちの隣接する2つの第2の溝の一方側に設けられ、他方側のコンタクト孔が形成されない第2導電型領域が電気的に浮遊状態となるように構成されていることを特徴とする半導体装置。

【請求項7】 請求項5に記載の半導体装置において、

前記コンタクト孔部分に前記高濃度第1導電型領域と前記第2の溝部分を介して前記第2導電型突出領域とを電気的に接触させる電極を設け、

それら複数の電極のうちの互いに隣接する2つの電極の一方側を電気的に浮遊状態となるように構成したことを特徴とする半導体装置。

【請求項8】 請求項6または7に記載の半導体装置において、

前記コンタクト孔を形成した半導体基板表面に電極形成用の高不純物濃度領域を形成したことを特徴とする半導体装置。

【請求項9】 請求項6ないし8のいずれかに記載の半導体装置において、

前記第1の溝は、前記電気的に浮遊状態に設けられるコンタクト孔部分もしくは電極形成部分の全周を取り囲むように形成されていることを特徴とする半導体装置。

【請求項10】 請求項3ないし9のいずれかに記載の半導体装置において、

前記第1の溝は、前記第2導電型突出領域の接合深さよりも浅く形成されていることを特徴とする半導体装置。

【請求項11】 請求項1ないし10のいずれかに記載の半導体装置において、

前記島状の第2導電型領域の外周部にこれを取り囲むように第2導電型の不純物が帯状に導入されて形成される複数の電界緩和領域を設けたことを特徴とする半導体装置。

【請求項12】 請求項11に記載の半導体装置において、

前記電界緩和領域は、

帯状に形成された第3の溝と、

この第3の溝部分を介して導入された第2導電型の不純物により形成され、

コンタクト孔を介して金属電極により電気的に接触された状態に形成されていることを特徴とする半導体装置。

【請求項13】 請求項11または12に記載の半導体層装置において、

前記電界緩和領域は、接合深さが前記島状の第2電導型領域の接合深さよりも深く形成されていることを特徴とする半導体装置。

【請求項14】 請求項11ないし13のいずれかに記載の半導体層装置において、

前記電極部を制御電極として前記半導体基板の裏面側と前記コンタクト孔を介して接触するように形成した金属電極との間の導通状態を制御するゲート駆動型パワー素子として形成していることを特徴とする半導体装置。

【請求項15】 表面側が第1導電型の半導体基板に対し、第2導電型不純物のイオン注入を複数回行うことにより島状に第2導電型領域を形成する工程と、

前記島状第2導電型領域内に前記半導体基板より不純物濃度が高い高濃度第1導電型領域を形成する工程と、

前記半導体基板の厚さ方向に異方性エッチングにより溝を形成する工程と、

熱酸化により犠牲酸化膜を形成する工程と、

前記犠牲酸化膜を除去する工程と、

前記溝内部に絶縁膜を形成する工程と、

前記絶縁膜で被覆された溝内に多結晶シリコンを充填する工程と

を備えたことを特徴とする半導体装置の製造方法。

【請求項16】 請求項15に記載の半導体装置の製造方法において、前記絶縁膜で被覆された溝を多結晶シリコンにより充填する工程に続いて、多結晶シリコンを成膜すると共にその多結晶シリコン膜を前記溝開口部よりも幅広な状態に残して縦断面がT字型となるように加工する工程と、多結晶シリコンに被覆されていない前記第1導電型領域に前記第1導電型領域より高濃度な第1導電型領域を形成する工程と、2本の溝に囲まれた領域にある前記第1導電型領域の間に高濃度な第2導電層領域を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項17】 請求項15または16に記載の半導体装置の製造方法において、

前記島状に第2導電型領域を形成する工程は、複数回行う第2導電型不純物のイオン注入を、いずれも加速エネルギーが200keV以上の条件で行うこととする半導体装置の製造方法。

【請求項18】 請求項17に記載の半導体装置の製造方法において、前記島状に第2導電型領域を形成する工程は、複数回行う第2導電型不純物のイオン注入の注入量を、いずれも等しいかまたは、最も加速エネルギーの小さいイオン注入を行う際のイオン注入量が最小となる条件で行うことを特徴とする半導体装置の製造方法。

【請求項19】 請求項16に記載の半導体装置の製造方法において、前記島状の第2導電型領域内に前記半導体基板より高濃度な第1導電型領域を形成する工程は、そのイオン注入量を 1.0×10^{15} (atoms/cm²) 以下となる条件で行うことを特徴とする半導体装置の製造方法。

【請求項20】 表面が第1導電型の半導体基板に対し、島状に第2導電型領域を形成する工程と、

前記島状第2導電型領域内に前記半導体基板より高濃度第1導電型領域を形成する工程と、

前記半導体基板の厚さ方向に異方性エッティングにより第1の溝を形成する工程

と、

熱酸化により犠牲酸化膜を形成する工程と、

前記犠牲酸化膜を除去する工程と、

前記第1の溝内部に絶縁膜を形成する工程と、

前記絶縁膜で被覆された前記第1の溝を多結晶シリコンにより充填する工程と

、
隣接する前記第1の溝の間に位置する前記島状の第2導電型領域にその第1の溝に平行となるように第2の溝を形成する工程と、

この第2の溝部分から第2導電型不純物を複数回イオン注入により導入することで前記第2導電型領域よりも接合深さが深い第2導電型突出領域を形成する工程と、

コンタクト孔を介して前記第1導電型領域と前記第2の溝の前記第2導電型突出領域とを接触するよう金属電極を形成する工程と
を備えたことを特徴とする半導体装置の製造方法。

【請求項21】 請求項20に記載の半導体装置の製造方法において、

前記絶縁膜で被覆された第1の溝を多結晶シリコンにより充填する工程に続いて、

多結晶シリコンを成膜すると共にその多結晶シリコン膜を前記第1の溝開口部よりも幅広な状態に残してその縦断面がT字型となるように加工する工程と、

多結晶シリコンに被覆されていない前記第1導電型領域に前記第1導電型領域より高濃度な第1導電型領域を形成する工程と、

2本の前記第1の溝に開まれた領域にある前記高濃度第1導電型領域の間に高濃度な第2導電層領域を形成する工程と
を備えたことを特徴とする半導体装置の製造方法。

【請求項22】 請求項20または21に記載の半導体装置の製造方法において、

前記第2導電型突出領域を形成するための前記第2の溝内部領域に複数回行う第2導電型不純物のイオン注入のうち、少なくとも1回の第2導電型不純物のイオン注入は、その加速エネルギーが200k eV以上であることを特徴とする半

導体装置の製造方法。

【請求項23】 請求項20ないし22のいずれかに記載の半導体装置の製造方法において、

前記第2導電型突出領域を形成するための前記第2の溝の内部領域に複数回行う第2導電型不純物のイオン注入のうち、少なくとも1回の第2導電型不純物のイオン注入は、その加速エネルギーを30k eV以下とすると共に注入量を 1.0×10^{15} (atoms/cm²) 以上としていることを特徴とする半導体装置の製造方法。

【請求項24】 請求項20ないし23のいずれかに記載の半導体装置の製造方法において、

前記島状の第2導電型領域は、請求項15ないし19のいずれかに記載の半導体装置の製造方法を用いて形成することを特徴とする半導体装置の製造方法。

【請求項25】 請求項15ないし24のいずれかに記載の半導体装置の製造方法において、

前記島状の第2導電型領域の外周部にこれを取り囲む帶状をなすように第2導電型不純物を導入して複数の電界緩和領域を形成する工程と、

前記電界緩和領域内に、高濃度な帶状の第2導電型領域を形成する工程と、

前記帶状の第2導電型領域内に前記島状の第2導電型領域を取り囲むような帶状のコンタクト孔を形成する工程と、

前記コンタクト孔内に前記半導体基板の厚さ方向に異方性エッチングを行って帶状の第3の溝を形成する工程と、

前記第3の溝の内部領域に第2導電型不純物のイオン注入を複数回行うことにより深い第2導電型領域を形成する工程と、

前記コンタクト孔を介して帶状の第2導電型領域と前記深い第2導電型領域内の第3の溝内表面を接触するよう金属電極を形成する工程と、

少なくとも前記島状の第2導電型領域以外の領域の表面に保護膜を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項26】 請求項25に記載の半導体装置の製造方法において、

前記深い第2導電型領域の接合深さが、前記ゲート駆動型高耐圧パワー素子に

においてチャネルを形成するための第2導電型領域の接合深さより深いことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、溝（トレンチ）を用いた埋め込みゲート構造（トレンチゲート構造）を有する半導体装置、特にトレンチゲート型で高耐圧の半導体装置およびその製造方法に関する。

【0002】

【発明が解決しようとする課題】

半導体装置のうちで集積回路では、その集積度の向上や特性改善に向けた傾向のひとつとして、例えば半導体基板の表面に溝（以下、トレンチという）を設けて素子間分離をするなど種々の構造が提案されつつある。一方、パワー素子などの半導体装置においても、低オン抵抗化・低オン電圧化の改善のためにトレンチによる埋め込みゲート（トレンチゲート）を用いた構造のものが提案されつつある。

【0003】

本発明においては、このような構造の半導体装置に関してその製造工程上および半導体装置の構造上において発生する技術的課題を解決しようとするものであり、以下にその従来技術およびその従来技術に起因して発生する3つの技術的課題について説明する。

【0004】

まず第1に、従来より、パワーMOSFETやIGBT等の内部にMOS構造を有する半導体装置においては、チャネルを形成するための拡散層を2重拡散法により形成することが行われているが、トレンチゲート型半導体装置においても、チャネルを形成するための拡散層の形成を、この2重拡散法を適用して行っている。

【0005】

この2重拡散法による従来のトレンチゲート型半導体装置の一般的な製造工程

を図20に示す。この図20(a)に示すように、表面側がn型の半導体基板1に対し、マスク材としての酸化膜2を形成した状態で、イオン注入法によりp型の不純物(硼素B)を100keV程度の加速エネルギーで注入してイオン注入層3aを形成し(同図(b))、この後拡散することにより素子形成領域の内部に島状にベース領域3を形成する(同図(c))。

【0006】

次に、ベース領域3内にn型の不純物を高濃度になるようイオン注入し、その後拡散を行ってベース領域3内に高濃度エミッタ領域4を形成する(同図(d))。この2重に拡散した高濃度エミッタ領域4に対し、異方性エッチング処理によりトレンチ5を形成し(同図(e))、このトレンチ5内壁面にゲート絶縁膜6を形成する(同図(f))。続いて、全面に多結晶シリコン7を成膜し(同図(g))、トレンチ5の開口部以外の部分をエッチングなどの処理を行って除去してゲート電極8を形成する(同図(h))。

【0007】

そして、ベース領域3内に高濃度でp型不純物を導入して高濃度p型領域9を形成し(同図(i))、全面に絶縁膜10を形成してバターニングすることによりゲート電極8を絶縁分離した状態とし、この上にエミッタ電極11を成膜する(同図(j))。さらに、裏面にも金属電極を形成(同図(k))することにより埋込ゲート(トレンチゲート)型のMOSFETが形成される。

【0008】

上記した製造工程を経て製造されたトレンチゲート型半導体装置(同図(j)に相当)において、チャネル部の深さ方向に沿った不純物濃度分布(同図中A-Aで示す部分に相当)は、図21に示すようになる。すなわち、チャネル部の不純物濃度分布中、p型領域の濃度分布に相当)は高濃度エミッタ領域4に近い深度の領域で急峻に尖った濃度分布(図中白抜き矢印で示す部分)を持つようになる。

【0009】

この場合、上述した2重拡散法で製造したトレンチゲート型半導体装置の場合、そのしいき値電圧はチャネル部の最高不純物濃度で定まり、カットオフ特性も

最高不純物濃度の領域幅の影響を受けることになる。このため、最高不純物濃度の領域幅が狭い上記従来技術においては、しきい値のバラツキ、そのしきい値バラツキに起因する電流集中による半導体装置の破壊に加え、カットオフ特性の劣化が問題となる。

【0010】

加えて、上記の半導体装置の構造をトレンチゲート型のIGBTとして形成する場合においては、次のような技術的な課題がある。すなわち、半導体基板1の裏面側に高濃度P型領域が形成された構造のIGBTでは、IGBTに固有の問題として知られる寄生バイポーラ動作がある。このバイポーラ動作は、高濃度エミッタ領域4直下のベース領域3の抵抗値（以下、Pinch抵抗と記載する。）に依存するので、上記した従来技術により製造されるIGBTでは、チャネル部の急峻な不純物濃度分布に起因してPinch抵抗が高くなることから寄生バイポーラ動作を起こしやすくなる。

【0011】

また、本発明の第2の技術的課題として、次のような従来技術に起因した課題がある。従来、高耐圧のトレンチゲート型パワー半導体装置において、耐圧を向上させるため種々の取り組みが成されてきた。その代表的パワー素子であるIGBTの構造を、図22に示す。同図(a)には、半導体基板12として裏面側にP型領域12aが形成されたものを用いて、前述同様にして形成されたトレンチゲート構造を狭いピッチで配置したIGBTを示している。この構造によれば、トレンチゲート構造の配置間隔を狭めたことにより降伏時のトレンチ5底部の電界を緩和してゲート耐圧を向上せしめるものである。

【0012】

しかしながら、この構造では、電界の集中を緩和することはできるが、電界集中点は依然としてトレンチゲート構造の底部に存在するため、降伏時の電界集中により発生するホットキャリアでゲート絶縁膜6にダメージが与えられるため、素子の長寿命化を図ることが難しくなるという技術的課題がある。

【0013】

一方、同図(b)にはトレンチゲート構造の間隔を狭めるのではなくPボディ

と称される構造を形成して耐圧の向上を図る構成のものが示されている。すなわち、基本的には同図(a)と同様の構成としながら、ここでは、2つのトレンチゲート構造の間を広くとって、そこに接合深さの深いP型領域(以下、P型ボディ層と記載する。)13を形成することにより、トレンチゲート構造底部の電界を緩和し、耐圧を向上せしめるものである。

【0014】

このPボディ構造のIGBT(トレンチゲート型半導体装置)は図23に示すような製造工程を経て形成される。すなわち、半導体基板12(裏面側のP型領域12aは省略して示している)の表面に、トレンチ形成部の両側に位置する領域の一部にP型不純物のイオン注入を行う(同図(a))。イオン注入は、半導体基板12の表面に形成した酸化膜14を介して行い、フォトレジスト15をパターニングしてマスクとして用いる。P型の不純物を加速エネルギー約100keVで選択的に注入して部分的にイオン注入層16を形成し、これを拡散することによりPボディ層13を形成する(同図(b))。以下の工程(同図(c)~(j))は、前述した図20(a)~(k)に示すトレンチゲート構造を形成する製造工程と同様である。

【0015】

この場合、Pボディ層13は、不純物を導入した後に拡散により所定深さまで分布させてるので、横方向拡散によるしきい値変動を抑止する必要がある。このためトレンチゲート電極の配置間隔を図22(a)のものに比べてある程度広く確保しておく必要があり、これが制約となって、高集積化できない要因となっている。

【0016】

さらに、第3の技術的課題として、次のような点がある。すなわち、高耐圧のパワー半導体装置においては、素子領域の外周部に電界緩和用の耐圧構造を形成することが行われている。例えば、図24に示すような構造のものがある。これは、島状に形成されるベース領域3の外周部に接合深さの深いガードリング16を設けたり、その外周部のn型の基板領域12に基板表面の電界集中を緩和するための帯状をなすフィールドリミッティングリング17を多重に設けて高耐圧化

を図るものである。

【0017】

これにより、ベース領域3とチップ最外周のEQR領域との間に、ベース領域3の外周に位置するガードリング16の領域と、複数本のフィールドリミッティングリング17の形成領域とが設けられた構造となる。高電圧が印加されるベース領域3とコレクタである半導体基板12との間で、曲率が大きく深い接合により電界集中を緩和すると共に、複数本のフィールドリミッティングリング17による表面での電界集中を緩和することで全体として高耐圧化を図ることができるようになる。

【0018】

この場合、先に述べた図22（b）に示すPボディ構造トレンチゲート型IGBTにおいては、Pボディ層13形成時に同一工程で同図中のp型ガードリング16およびフィールドリミディングリング17を形成できるため、コスト増にはならないが、同図（a）に示した狭ピッチトレンチゲート型のIGBTにおいては、接合深さの深いp型領域を設ける工程が本来存在していないので、専用工程を設けてガードリング16およびフィールドリミッティングリング17を形成せざるを得ないため、製造工程が増えることに起因して全体のコストが増加するという問題点がある。

【0019】

また、図22に示したいずれの構造においても、ガードリング16やフィールドリミッティングリング17を接合深さの深いp型領域として形成することから、横方向の拡散があるためその分だけチップサイズが大きくなるため、高耐圧化と集積化とのトレードオフの関係にあり、いずれか優先する機能を選択せざるを得ない状況であった。

【0020】

以上のように、従来の製造方法を用いた場合、第1に、チャネル部の不純物濃度分布が急峻になることにより発生するしきい値のバラツキ、そのしきい値バラツキに起因する電流集中による半導体装置の破壊に加え、カットオフ特性が劣化するという問題があり、第2に、IGBTにおいては、寄生バイポーラ動作が起

こり易いという問題と降伏時にトレンチ底部に発生する集中電界により発生するホットキャリアによるゲート絶縁膜の信頼性が劣化するという問題があり、高耐圧化構造を形成するための製造コストの増加となる問題がある。

【0021】

本発明は、上記事情に鑑みてなされたもので、その目的は、第1に、溝を用いたトレンチゲート型のゲートを有する半導体装置において、チャンネル部の不純物濃度の分布に起因したしきい値のばらつきや寄生バイポーラ動作を抑制することができ、そのしきい値バラツキに起因する電流集中による破壊や、カットオフ特性の劣化防止を図ることができ、第2に、高集積化が可能で且つ、降伏時にトレンチゲート電極底部に発生する電界を緩和してゲート絶縁膜の信頼性を高め、高耐圧化構造を形成においてコストを増加を抑制することができる半導体装置およびその製造方法を提供するものである。

【0022】

【課題を解決するための手段】

請求項1の発明によれば、第2導電型不純物を複数回のイオン注入により導入することで深さ方向に対する濃度分布が平坦で島状に形成された第2導電型領域を設けるので、第2導電型領域のチャネル部を形成する部分が不純物濃度分布の形状が台形に近いなどらかな変化となり、これによって、ゲート電極に電圧を印加して半導体基板と第1導電型領域との間の電気的導通を図る際に、しきい値のばらつきが低減され、寄生バイポーラ動作の発生し易さに関係するPinch抵抗を低減することができるようになる。

【0023】

請求項2の発明によれば、ゲート電極を、縦断面がT字型となるように溝の開口部端部よりも延出するように形成しているので、高濃度の第1導電型領域にコントラクト用の高濃度層を形成するための不純物導入で溝の開口部端部への不純物導入によるダメージを防止することができ、これによってゲート絶縁膜の特性の劣化を防止することができる構造とすることができ、特性の優れたものとすることができるようになる。

【0024】

請求項3の発明によれば、隣接する第1の溝の間に位置する島状の第2導電型領域にその第1の溝と平行になるように複数の第2の溝を設け、この第2の溝部分からイオン注入により導入される第2導電型の不純物により2導電型領域よりも接合深さが深い第2導電型突出領域を設ける構成としているので、第2導電型突出領域を横方向への拡散を少なくして深い接合を形成することができる。この第2導電型突出領域は、動作状態における第1の溝の電極部底部に発生する電界を緩和させてるので、これを設けることで電界の集中を緩和してゲート絶縁膜へのホットキャリアの注入を低減することができ、ゲート絶縁膜の信頼性の向上を図ることができるようになる。

【0025】

請求項4の発明によれば、上記した請求項3の発明において、ゲート電極を、縦断面がT字型となるようにレンチの開口部端部よりも延出するように形成しているので、上記効果に加えて、請求項2の発明と同様の作用効果も得ることができる。

【0026】

請求項5の発明によれば、請求項3または4の発明において、第2のレンチ部分にコンタクト孔を形成して高濃度第1導電型領域と第2導電型突出領域とを電気的に接触させる電極を形成可能な構成としているので、上記した第2導電型突出領域による電界緩和の効果を効果的に行うようになる。

【0027】

請求項6の発明によれば、上記請求項5の発明において、上記したコンタクト孔を、複数の第2の溝のうちの互いに隣接する2つの第2の溝の一方側に設ける構成とし、他方側のコンタクト孔が形成されない第2導電型領域が電気的に浮遊状態となるように構成しているので、第1の溝の電極部に電圧を印加して半導体基板と高濃度の第1導電型領域との間でチャネルを形成してオン状態に動作させたときに、そのチャネルを経由したキャリアが高濃度の第1導電型の半導体基板側に放出されるようになる。このとき、その第1の溝の電極部のコンタクト孔を形成していない側では、高濃度の第2導電型領域が電気的に浮遊状態に形成されているので、電極部底部から電気的に浮遊している側に電位の低い部分が形成さ

れるようになる。換言するとポテンシャルの谷が形成され、これによってチャネルからのキャリアの放出効率が増大することになり、オン抵抗あるいはオン電圧を低減する効果が生じ、電気的特性の向上を図ることができるようになる。

【0028】

請求項7の発明によれば、請求項5の発明において、コンタクト孔部分に高濃度第1導電型領域と第2の溝部分を介して第2導電型突出領域とを電気的に接觸させる電極を設ける構成とし、それら複数の電極のうちの互いに隣接する2つの電極の一方側を電気的に浮遊状態となるように構成しているので、電気的特性においては、請求項6の発明と略同様の作用効果を生じさせることができるようになる。

【0029】

請求項8の発明によれば、請求項6または7の発明において、コンタクト孔を形成した側の半導体基板表面に電極形成用の高不純物濃度領域を形成したのでオームックコンタクトを良好に形成することができる。また、コンタクト孔を形成しない側には、高不純物濃度領域を形成しなくとも良いので、不純物導入に伴うダメージなどの発生を極力低減することができるようになる。

【0030】

請求項9の発明によれば、請求項6ないし8の発明において、第1の溝を、電気的に浮遊状態に設けられるコンタクト孔部分もしくは電極形成部分の全周を取り囲むように形成しているので、この第1の溝の形成によって構造的にその部分の領域を電気的に浮遊状態とすることが簡単になり、上記した作用効果を得ることができるようになる。

【0031】

請求項10の発明によれば、請求項3ないし9の発明において、第1の溝を第2導電型突出領域の接合深さよりも浅く形成しているので、第1の溝の電極部での電界集中をさらに第2導電型突出領域側へ移行させてその効果をより向上させることができるようになる。

【0032】

請求項11の発明によれば、請求項1ないし10の発明において、島状の第2

導電型領域の外周部にこれを取り囲むように第2導電型の不純物を帯状に導入して形成する複数の電界緩和領域を設けているので、この帯状の電界緩和領域をいわゆるガードリングやフィールドリミッティングリングとして作用させることができ、電力用の半導体装置の一つの特性として要求される高耐圧化の構造を得ることができるようになる。

【0033】

請求項12の発明によれば、請求項11の発明において、電界緩和領域を、帯状に形成した第3の溝と、この第3の溝部分を介して導入する第2導電型不純物により形成するので、深い接合深さに横方向への拡散を抑制しながら効果的に形成することができ、通常の半導体基板の表面から同一の接合深さの接合を形成する場合に比べて少ない面積で達成することができ、チップサイズの増大を抑制しながら高耐圧化を図る構造を採用することができるようになる。

【0034】

請求項13の発明によれば、請求項11または12の発明において、電界緩和領域を、その接合深さが島状の第2電導型領域の接合深さよりも深く形成した構成としているので、島状の第2導電型領域により得られる耐圧よりも高い耐圧を望むことができるようになり、しかも、前述した第2導電型突出領域を形成する際に同様のプロセスを採用して形成することができるので、これによる工程の大幅な追加がなく、コストの増加を抑制することもできる。

【0035】

請求項14の発明によれば、請求項11ないし13の発明において、電極部を制御電極として半導体基板の裏面側とコンタクト孔を介して接触するように形成した金属電極との間の導通状態を制御するゲート駆動型パワー素子として形成しているので、例えば、半導体基板を第1導電型のものを使用することでパワーMOSFETとして形成することができるし、あるいは半導体基板を裏面側に第2導電型の領域を形成したものを用いることでIGBTとして形成することもできるようになる。

【0036】

請求項15の発明によれば、表面側が第1導電型の半導体基板に対し、第2導

電型不純物のイオン注入を複数回行うことにより島状に第2導電型領域を形成するので、これによって島状の第2導電型領域の深さ方向に対する不純物濃度の分布を平坦なものとすることができますようになり、これによって前述した請求項1に記載の半導体装置の島状の第2導電型領域の構成を実現することができるようになる。

【0037】

請求項16の発明によれば、異方性エッティングにより形成した溝内に絶縁膜を形成した後に多結晶シリコンを成膜し、この後、その多結晶シリコン膜を溝開口部よりも幅広な状態に残して縦断面がT字型となるように加工するので、この後に高濃度の第1導電型領域にコンタクト用の高濃度層を形成するための不純物導入の工程を実施することにより、溝の開口部端部への不純物導入によるダメージを防止することができ、これによって絶縁膜の特性の劣化を防止することができるようになる。

【0038】

請求項17の発明によれば、請求項15または16の発明において、島状に第2導電型領域を形成する工程において、複数回行う第2導電型不純物のイオン注入を、いずれも加速エネルギーが200keV以上の条件で行うようにしているので、注入するイオンをチャネル形成領域の深さまで分布させることができ、これによってチャネル形成領域の不純物の深さ方向に対する濃度勾配をゆるやかな状態とすることができますようになり、前述した請求項1に記載の半導体装置のような電気的特性を得ることができるようになる。

【0039】

請求項18の発明によれば、請求項17の発明において、島状に第2導電型領域を形成する工程において、複数回行う第2導電型不純物のイオン注入の注入量を、いずれも等しいかまたは、最も加速エネルギーの小さいイオン注入を行う際のイオン注入量が最小となる条件で行うので、チャネルを形成する領域における深さ方向すなわちチャネルに沿った方向の不純物濃度をなだらかな状態に形成して濃度勾配を少なくすることができるようになる。

【0040】

請求項19の発明によれば、請求項16の発明において、島状の第2導電型領域内に半導体基板より高濃度な第1導電型領域を形成する工程においては、そのイオン注入量を 1.0×10^{15} (atoms/cm²) 以下となる条件で行うので、この後の工程で形成するゲート絶縁膜の膜質を不純物の濃度に起因して劣化させることなく高濃度第1導電型領域を形成することができるようになる。

【0041】

請求項20の発明によれば、隣接する第1の溝の間に位置する島状の第2導電型領域にその第1の溝と平行になるように複数の第2の溝を形成し、この第2の溝部分から第2導電型不純物を複数回イオン注入により導入して第2導電型領域よりも接合深さが深い第2導電型突出領域を形成するので、第2導電型突出領域を横方向への拡散を少なくして深い接合を形成することができる。この第2導電型突出領域は、半導体装置の動作状態における第1の溝の電極部底部に発生する電界を緩和させる効果があるので、これを設けることで電界の集中を緩和してゲート絶縁膜へのホットキャリアの注入を低減することができ、絶縁膜の信頼性の向上を図ることができるようになる。

【0042】

請求項21の発明によれば、請求項20の発明において、前記絶縁膜で被覆された第1の溝を多結晶シリコンにより充填する工程に続いて、多結晶シリコンを成膜すると共にその多結晶シリコン膜を前記第1の溝開口部よりも幅広な状態に残してその縦断面がT字型となるように加工する工程を実施するので、この後、高濃度の第1導電型領域にコンタクト用の高濃度層を形成するための不純物導入で溝の開口部端部への不純物導入によるダメージを防止することができ、これによってゲート絶縁膜の特性の劣化を防止することができる構造とすることができます、特性の優れた半導体装置を提供することができるようになる。

【0043】

請求項22の発明によれば、請求項20または21の発明において、第2導電型突出領域を形成するための第2の溝内部領域に複数回行う第2導電型不純物のイオン注入のうち、少なくとも1回の第2導電型不純物のイオン注入は、その加速エネルギーが200keV以上となるようにしているので、半導体装置のチャ

ネル形成領域に第2導電型不純物を導入してその深さ方向すなわちチャネル方向に沿った濃度分布をなだらかなものとすることができるようになる。

【0044】

請求項23の発明によれば、請求項20ないし22の発明において、第2導電型突出領域を形成するための前記第2の溝内部領域のみに複数回行う第2導電型不純物のイオン注入のうち、少なくとも1回の第2導電型不純物のイオン注入は、その加速エネルギーを30keV以下とすると共に注入量を 1.0×10^{15} (atoms/cm²)以上としているので、第2導電型突出領域の前記溝内部領域の表面濃度を十分に高い不純物濃度として形成することができる。

【0045】

請求項24の発明によれば、請求項20ないし23の発明において、島状の第2導電型領域を、請求項15から請求項19のいずれかに記載の半導体装置の製造方法により形成するので、チャネル形成領域の深さ方向の不純物濃度すなわちチャンネル方向に沿った不純物濃度もなだらかなものとすることができ、これによって前述した請求項1に記載の半導体装置の島状の第2導電型領域の構成を実現することができるようになる。

【0046】

請求項25の発明によれば、請求項15ないし24の発明において、島状の第2導電型領域の外周部にこれを取り囲む帯状をなすように第2導電型不純物を導入して複数の電界緩和領域を形成し、この電界緩和領域内に、高濃度な帯状の第2導電型領域および帯状のコンタクト孔を形成し、このコンタクト孔内に帯状の第3の溝を形成し、第3の溝の内部領域に第2導電型不純物のイオン注入を複数回行って深い第2導電型領域を形成すると共に、コンタクト孔を介して帯状の第2導電型領域と前記深い第2導電型領域内の第3の溝内表面を接触するよう金属電極を形成するので、高耐圧化を図る半導体装置を提供することができるようになる。

【0047】

請求項26の発明によれば、請求項25の発明において、深い第2導電型領域の接合深さが、島状の第2導電型領域の接合深さよりも深く設定されるので、よ

り高耐圧化を図った半導体装置を提供することができるようになる。

【0048】

【発明の実施の形態】

(第1の実施形態)

以下、本発明をトレンチゲート型のMOSFETあるいはIGBTに適用した場合の第1の実施形態について図1ないし図6を参照して説明する。

図1(a), (b)は、本発明にかかるトレンチゲート型構造を採用したMOSFET21およびIGBT41のゲート部分の構造を模式的断面図で示すものである。

【0049】

まず、同図(a)を参照してMOSFET21について説明する。第1導電型であるn型に形成された半導体基板22は、裏面側に高濃度n型領域22aが形成されており、表面側には素子形成領域に対応する部分に島状に第2導電型であるp型の不純物が複数回のイオン注入により導入されたベース領域23が第2導電型領域として形成されている(ゲート電極部を示す本図では基板端部まで接合面が延びた状態で表示されている)。このベース領域23の深さ方向の不純物濃度の分布すなわちチャネルに沿った方向の不純物濃度の分布は、後述するように、イオン注入によってなだらかな変化もしくは台形状をなすように設けられている。

【0050】

ベース領域23内に第1導電型であるn型の不純物が高濃度で導入された高濃度第1導電型領域であるソース領域24が形成されている。また、ベース領域23の他の領域には高濃度でp型不純物が導入され高濃度p型領域25が形成されている。ソース領域24およびベース領域23を貫通して半導体基板21に達するようにトレンチ26が形成されている。トレンチ26の内部には内壁面に成膜された所定膜厚のゲート絶縁膜27を介して多結晶シリコンからなるゲート電極28が電極部として充填された状態に形成されている。

【0051】

このゲート電極28を覆うように絶縁膜29が形成されており、ゲート電極2

8は所定の部位から外部に電気的に接続される。絶縁膜29を覆うようにし、且つソース領域24の一部とベース領域23とオーミックコンタクトをとるように金属膜によりなるソース電極30が形成され、同様に裏面側には全面に金属膜によりドレイン電極31が形成されている。

【0052】

次に、図1（b）に示すトレンチゲート型構造を採用したIGBT41について簡単に説明する。このIGBT41においては、第1導電型であるn型の半導体基板42として、裏面側に第2導電型であるp型不純物を高濃度で導入したp型層42aを設けたものを使用している。そして、この半導体基板42を用いて入ることを除いて、他の構造については上述したMOSFET21とほぼ同じ構造に形成されている。

【0053】

すなわち、第2導電型であるp型のベース領域43、高濃度で第1導電型であるn型の不純物が導入形成された高濃度n型エミッタ領域44、高濃度p型領域45、トレンチ46、ゲート絶縁膜47、ゲート電極48、絶縁膜49、エミッタ電極50および裏面側のコレクタ電極51が形成された構成とされている。そして、図示したように、対応する部分の構成は、ソースがエミッタに、ドレインがコレクタに名称が変わっていることを除いて、両者は同じように形成されている。

【0054】

上記した構成によれば、MOSFET21あるいはIGBT41のいずれにおいても、ベース領域24、44の深さ方向に対する不純物濃度分布をなだらかになるように形成しているので、ゲート電極28、48に制御電圧を与えて駆動制御する際に、チャネルを形成するベース領域24、44の部分でPinch抵抗を低減することができる。また、この構成を採用することにより、サブショルド係数を改善することができ、カットオフ特性およびFETの増幅率も改善することができるようになる。さらに、FETの電流能力に寄与するコンダクタンス特性についても改善することができるようになる。なお、これらの特性改善の具体的なデータについては、次に示す製造工程の説明の後に図を参照して説明する。

【0055】

次に、上記構成のトレンチゲート型構造を採用したMOSFET21およびIGBT41の製造工程について、特に、ゲート電極28, 48を形成する工程を中心として図2を参照して説明する。なお、図2においては、図1(a)に示したMOSFET21を代表として符号を付しているが、上述した対応する構成要素の符号と置き換えることによりIGBT41も全く同様の製造工程として説明することができるものである。

【0056】

さて、図2(a)に示すように、n型の半導体基板22の表面に、例えば膜厚=40nmの熱酸化膜をマスク材61として形成する。次に、このマスク材61を通して、例えば加速電圧480keVで第1の高加速イオン注入処理を行って第1のイオン注入層62を形成する。この第1の高加速イオン注入処理では、第2導電型不純物であるp型の不純物例えば硼素イオン(B)を、半導体基板22に対して注入量が 5.0×10^{13} (atoms/cm²)となるように設定して行う。また、注入するイオンは、素子形成領域であるベース領域23に対応した島状の領域に選択的に導入される(同図(b)参照)。なお、同図中では、ベース領域23の中央部のみが示されるので、島状の周辺部は示されていない。

【0057】

次に、同一マスク材61を通して第2の高加速イオン注入処理を行う。この第2の高加速イオン注入処理は、第1の高加速イオン注入処理とは異なる加速電圧、例えば加速電圧320keVで、p型不純物である例えば硼素イオン(B)を第1の高加速イオン注入処理時と同じ島状になるよう半導体基板22に注入量が 5.0×10^{13} (atoms/cm²)となるように注入して第2のイオン注入層63を形成する(同図(c)参照)。この後、熱処理を実施することにより、前記の台形に近い上に凸なだらかな不純物濃度分布を持つベース領域23を形成する(同図(d)参照)。

【0058】

次に、ベース領域23の内部に、第1導電型の不純物であるn型不純物例えば砒素(As)をイオン注入処理により導入して熱処理を行うことで高濃度の第1

導電型領域としてのソース領域24を形成する（同図（e）参照）。この時、その後の工程で形成するトレンチ26の開口部のゲート絶縁膜27の膜質を劣化させないようにするために、ソース領域24の形成領域へのイオン注入量を 1.0×10^{15} (atoms/cm²) 以下に設定している。

【0059】

その後、異方性エッチング処理を行うことにより、半導体基板22の厚さ方向にトレンチ25を形成する（同図（f）参照）。この異方性エッチング処理では、トレンチ25の深さ寸法がソース領域24およびベース領域23を貫通して半導体基板22の部分に達するように形成される。

【0060】

この後、犠牲酸化工程等を経てトレンチ26の内壁面の形状を改善し、マスク材61および、犠牲酸化膜を除去した後に、例えばONO膜（Oxide-Nitride-Oxide）をゲート絶縁膜26として形成する（同図（g）参照）。その後、例えば磷（P）を不純物として含んだ多結晶シリコン膜64を全面に堆積させてゲート絶縁膜27を形成したトレンチ26内を埋め込み（同図（h）参照）、続いて図示のようにT字型の断面となるようにパターニングしてエッチング処理を行うことでゲート電極28を形成する（同図（i）参照）。

【0061】

続いて、ベース領域23のうちでソース領域24を除いた領域にp型不純物を高濃度で導入した高濃度p型領域25を形成し（同図（j）参照）、全面に絶縁膜29を形成してこれをゲート絶縁膜27と共にパターニングすることで、ゲート電極28の表面部分を覆うように残した状態に形成する。この後、全面に金属を蒸着などにより被膜してソース電極30を形成する（同図（k）参照）。最後に、裏面にも金属電極を形成して（同図（m）参照）チップの製造工程が終了する。

【0062】

次に、上記構成および製造工程によってもたらされる本実施形態の効果について実測データと共に説明する。まず、図3（a）は本実施形態の製造方法を適用してベース領域23を形成した場合におけるチャネルに沿った不純物濃度分布の

測定結果を示している。同図（b）は、比較のために、従来品の同等位置における不純物濃度分布の測定結果を示している。

【0063】

同図からわかるように、p型の不純物であるB（硼素）の分布状態は、深さ方向に沿って台形状をなすようになだらかな変化を呈しており、従来品の急峻な低下傾向を示す分布状態と比較して大きく改善されている。これは、2回の高加速イオン注入工程を実施して深い領域にイオン注入層62, 63を形成して熱処理によって再分布させベース領域23を形成することにより実現しているからである。

【0064】

このようにベース領域23のチャネル部分の不純物分布をなだらかにすることで、MOSFET21の電気的特性として次のような結果を得ることができた。すなわち、上記した製造工程を経て作製した本実施形態におけるトレンチゲート型のMOSFET21（本発明品）と、従来の製造工程を経て作製した同一ゲート絶縁膜でしきい値のほぼ等しいトレンチゲート型MOSFET（従来品）を準備し（図4（a）参照）、それらのPinch抵抗部のシート抵抗値（Ω／□）を比較した結果を図4（b）に示している。

【0065】

この図4（b）からわかるように、本発明品のものは、従来品と同一ゲート絶縁膜厚、同一しきい値であるが、従来品に比べてPinch抵抗が大幅に低減できていることがわかる。また、これらのMOSFETについて測定したサブショルド係数について図5に示し、ゲート幅当たりのコンダクタンス値g_m／W（μS／μm）を比較した結果を図6に示している。

【0066】

図5からわかるように、本発明品のものは、カットオフ特性および、FETの增幅率に寄与するサブショルド係数が従来品に比べて改善されている。また、図6からわかるように、本発明品のものは、FETの電流能力に寄与するコンダクタンス値g_m／Wが従来品に比べて約20%向上している。

【0067】

本実施形態によれば、トレンチゲート型の半導体素子のチャネルに沿った不純物濃度に着目し、ベース領域23の不純物濃度の分布がなだらかな変化となるよう、2回の高加速イオン注入処理工程を経てチャネル領域の不純物濃度を高めるように形成したので、しきい値のばらつきを低減することができると共に、Pinch抵抗を低減することができる。また、サブショルド係数およびコンダクタンス値についても改善することができるので、電気的特性の向上を図ることができるようになる。

【0068】

なお、上記実施形態においては、ベース領域23の形成に際して2回の高加速イオン注入処理工程を実施するようにしたが、これに限らず、3回以上のイオン注入処理工程を実施して不純物濃度分布の改善をするようにしても良い。また、イオン注入量についても、熱処理後の分布状態を想定して適宜に変更設定することができる。

【0069】

(第2の実施形態)

図7ないし図17は本発明の第2の実施形態を示すもので、以下、第1の実施形態と異なる部分を中心として説明する。なお、この第2の実施形態においては、基本構成となる第1のタイプのものとこれを変形させた他のさまざまなタイプのものとがあり、これらのものの構造およびその製造方法を説明した上で、それらの電気的特性の測定結果について説明をする。

【0070】

(1) 第1のタイプ

図7は基本構成である第1のタイプのトレンチゲート型IGBT71の模式的縦断面を示すものである。このIGBT71について、第1の実施形態におけるIGBT41と異なる部分を説明する。このIGBT71のトレンチゲート部分の構成は基本的には同じであり、隣接する第1の溝としてのトレンチ46の間に位置するベース領域43に第2の溝としてエミッタトレンチ72を形成し、このエミッタトレンチ72を介して不純物を導入して第1導電型突出領域としてのPボディ領域73を形成すると共に高濃度P型領域74を形成している。また、こ

の構成においては、エミッタ電極50を隣接するもの同士が異なるエミッタ電極50a, 50bとして形成されているところが異なる。

【0071】

さて、上述したPボディ領域73の接合深さは、トレンチ46の底面部よりも深い位置まで達するように形成されており、後述するトレンチ46の底面部における電界集中を緩和すると共にこれによってゲート絶縁膜47の劣化を防止する機能を有する。

【0072】

次に、上記した第1のタイプもトレンチゲート型IGBT71の製造工程について簡単に説明する。図8はトレンチ46の形成領域を中心として示した製造工程別の模式的断面図である。半導体基板42は裏面側の高濃度p型領域42aを省略して示している。同図(a)ないし(f)までの製造工程は、図2(a)ないし(j)と同様の過程であるから説明を省略する。

【0073】

上述の過程を経て、同図(f)に示すようにゲート電極48を形成した後、このゲート電極48を覆うように絶縁膜49をパターニングして形成し、さらにマスク材75をパターニング形成する(同図(g)参照)。このマスク材75のパターニングでは、前述したエミッタトレンチ72を形成するように開口を形成する。この後、異方性エッティング処理を行って、半導体基板42の膜厚方向に所定深さ寸法のエミッタトレンチ72を形成する。

【0074】

続いて、図9(a)に示すように、マスク材75を利用してエミッタトレンチ72の内部のみに、第1のイオン注入層76を形成する。この場合、例えば加速電圧=480keVの第1の高加速イオン注入により第2導電型(p型)不純物、例えば硼素(B)を注入する。その後、同一マスク材23を利用して第1の高加速イオン注入とは異なる加速電圧、例えば加速電圧=320keVの第2の高加速イオン注入によりp型不純物、例えば硼素(B)をエミッタトレンチ72の内部に注入して第2のイオン注入層77を形成する(同図(b)参照)。

【0075】

続いて、熱処理を実施して第1および第2のイオン注入層76, 77の不純物を拡散させてPボディ領域73を形成する(同図(c)参照)。次に、もう一度マスク材75を利用してエミッタトレンチ72の内部のみに、例えば加速電圧=20kEVのイオン注入によりp型不純物として例えれば硼素(B)を注入量=4.0×10¹⁵(atoms/cm²)注入してイオン注入層78を形成する(同図(d)参照)。そして、例えば950℃, 20分の低温短時間の熱処理を行うことにより接合深さの深い高濃度p型領域74を形成する(同図(e)参照)。

【0076】

その後、マスク材75の除去処理を行ってから、例えば、アルミ合金を高温フロースパッタ法で成膜することにより、エミッタトレンチ72内にもアルミ合金を充填してエミッタ電極50a, 50bを形成する(同図(f)参照)。さらに、裏面電極形成工程(同図(g)参照)を経て半導体装置が形成される。

【0077】

(2) 第2のタイプ

次に、図10および図11を参照して第2のタイプのトレンチゲート型IGBT81の構成について説明する。この第2のタイプのIGBT81では、図11に示しているように、ゲート電極48の平面的なパターンが単位領域毎に矩形状の閉じたパターンとなるように形成されている。つまり、図10に示すゲート電極48が隣接している物同士がエミッタ領域44をはずれた部分で環状に連結されている。

【0078】

そして、それら矩形の環状に連結されたゲート電極48の間に設けられているエミッタ領域44にはエミッタトレンチ72が形成され、Pボディ領域73が形成されている。さらに、コンタクト孔79を介してエミッタ電極50が形成されている。また、ゲート電極48で開かれている領域内部はエミッタトレンチ72を設けず、そのまま絶縁膜82で覆う構成である。

【0079】

これにより、ゲート電極48の両側に設けられるp型領域43のうちPボディ領域73が形成されている側のみをチャネルとして使用し、ゲート電極48で開

われている側はチャネルとして使用しない構成となる。この結果、オン時にはゲート電極4 8 のPボディ領域7 3 側にチャネルが形成され、ゲート電極4 8 で囲われた側は電気的に浮遊するため、キャリアの放出効率を増大させることができるようにになり、オン抵抗または、オン電圧を著しく低減することができるようになる。

【0080】

(3) 第3および第4のタイプ

図12 (a) は第3のタイプのトレンチゲート型IGBT8 3 を示すものである。これは、第2のタイプのトレンチゲート型IGBT8 1 の矩形状の平面パターンを有するゲート電極4 8 に対して、そのコーナー部に傾斜部を設けたパターンとしたゲート電極4 8 a を設けたものである。また、図12 (b) は第4のタイプのトレンチゲート型IGBT8 4 を示すもので、同様にしてゲート電極4 8 b のようにコーナー部を丸くするパターンとしている。これにより、ゲート電極4 8 a, 4 8 b のように環状に閉じたパターンを形成する際に、熱応力等による結晶欠陥の発生を抑止することができ、ゲート特性の向上を図ることができるようになる。

【0081】

(4) 第5のタイプ

図13 (a) は第5のタイプのトレンチゲート型IGBT8 5 を示している。これは、ゲート電極4 8 により囲われた領域のp型領域4 3 にはコンタクト形成用の高濃度p型領域4 5 を形成しない構成としたものである。これは、その領域にエミッタ電極5 0 を設けないことから高濃度p型領域4 5 を形成することが不要となるからである。

【0082】

なお、ゲート電極4 8 で囲われた領域内においては、この領域を電気的に浮遊した状態に設けるから、素子の電気的構成上からはエミッタ領域4 4 は不要である。しかし、ここで高濃度n型のエミッタ領域4 4 を形成しているのは、トレンチ4 6 を形成する際に、異方性エッチング処理に続いて行う表面処理で、不純物濃度に依存したエッチングを行って開口部を図10 に示したように土に凸の丸み

を持たせた形状とすることができる、これによって、ゲート絶縁膜47を形成した後にゲート電極48を形成する場合に、電気的特性の向上を図ることができるからである。

【0083】

(5) 第6のタイプ

図13(b)は第6のタイプのトレンチゲート型IGBT86を示している。この構成においては、ゲート電極48で囲われた領域内においてもエミッタトレンチ72aを形成してPボディ領域73を形成し、その上でエミッタ電極50bを設ける。しかし、ここで設けるエミッタ電極50bは、ゲート電極48間の領域に設けるエミッタ電極50aとは電気的な接続を行わず、電気的に浮遊した状態に設ける。

【0084】

(6) 本実施形態の特性測定結果の説明

次に、図14ないし図17を参照して本実施形態の構成を採用した場合における特性のシミュレーション結果および測定結果について説明する。

まず、本実施形態の特徴の一つであるPボディ領域73を設けた場合の特性について述べる。図14は本実施形態にかかる構成のトレンチゲート型IGBTにおける1次降伏状態をシミュレーションを行って得た I_c/V_{ce} 特性を示している。

【0085】

図14では、比較のために図22(a)で示した従来構造のものを図中(a)として破線で示し、本実施形態にかかる第1のタイプのIGBT71を図中(b)として実線で示し、第2のタイプのIGBT81を図中(c)として示している(ここでは、ゲート電極48を形成しているトレンチ46をPボディ領域73よりも浅い深さで形成している)。また、これらの各構造のもので降伏時における電界分布を図15(a)～(c)に対応させて示している。この電界分布を示す図15(a)～(c)では、ゲート電極部分を中心とした半導体基板の断面についてシミュレーションした結果を示している。図中、破線でpn接合の境界を示し、実線で等電位線を示している。図中、下方に位置する等電位線が高電圧側

のものである。

【0086】

図14に示したシミュレーション結果から明かなように、同一仕様の半導体基板を用いた構成しながら、本実施形態にかかる第1のタイプ、第2のタイプのIGBT71, 81は、従来構成のものに比べて降伏電圧が50～80V程度改善されていることがわかる。

【0087】

また、図15に示すように、従来構造(a)においては、降伏時にゲート電極底部に電界が集中しているが、た電界集中点は、第1のタイプのIGBT71の構造(b)のものではゲート電極48底部とPボディ領域73底部とに分散させることができる。また第2のタイプのIGBT81の構造(c)のものでは、ゲート電極48底部からPボディ領域73底部に電界集中点を移動させることができる。これにより、降伏時の電界集中により発生するホットキャリアがゲート絶縁膜47に与える損傷で劣化するのを低減させることができるようになり、ゲート絶縁膜47の長寿命化を図れるようになる。つまり、IGBT71, 81の長寿命化を図ると共に長期信頼性を確保することができるようになる。

【0088】

次に、上記した構成のものに加えて、前述した第6のタイプのIGBT86(d)を含めた4つの構造のIGBT(a)～(d)について、シミュレーションにより次の特性について求めた。それぞれのIGBT(a)～(d)にゲート電圧 V_g として15V印加し、このときのコレクタ電流 I_c とコレクタ・エミッタ間電圧 V_{ce} 特性を求めると共に、コレクタ電流 I_c が300A/ cm^2 の時のオン電圧 V_{on} を求めた結果を図16に示している。

【0089】

この結果から分かるように、電子を放出するチャネルが片側にしかない構造を採用したIGBT(c)および(d)であっても低いオン電圧 V_{on} を得ることができている。これは、ゲート電極48のチャンネルを形成している側と反対側において、電気的に浮遊した状態であることがオン電圧 V_{on} を低減させることに寄与していることを示唆している。

【0090】

これを解明するために、3つのタイプのIGBT（a）～（c）の構造において、コレクタ電圧V_{ce}を2.0V、ゲート電圧V_gを15Vとしたときのチャネル部に沿った方向に対する電子密度分布をシミュレーションにより求めた。この結果を図17に示す。この結果から分かるように、IGBT（b），（c）においては、先に記載したように、ゲート電極48の片側を電気的に浮遊させることで、チャネル内を流れる電子が従来構造のIGBT（a）のものに比べて増大されていることがわかる。

【0091】

このような第2の実施形態によれば、次のような効果を得ることができる。

第1に、第1のタイプに代表されるIGBT71のように、隣接するトレンチ46のゲート電極48間のベース領域43に、接合深さが深いPボディ領域73を設ける構成としたので、降伏電圧の改善を図ることができると共に、ゲート電極48底部とPボディ領域73底部とに電界集中点を分散させることができるので、ゲート絶縁膜47がホットキャリアにより受けける損傷を低減して信頼性の向上を図ることができる。

【0092】

第2に、第2のタイプに代表されるIGBT81のように、ゲート電極48の片側にのみチャネルを形成させ、他方を電気的に浮遊させる構造を採用したので、キャリアの放出効率を増大させることができるようになり、オン抵抗または、オン電圧を著しく低減することができるようになる。

【0093】

（第3の実施形態）

図18および図19は本発明の第3の実施形態を示すもので、高耐圧を得るための外周部の構造の改善を図ったものである。この実施形態においては、Pボディ層73を形成した第2の実施形態の各タイプにおいて適用しており、これによって外周部の構造改善のための製造工程を別途に追加することなく実施できるようにしたものである。

【0094】

この構成においては、図18に示しているように、島状に形成したp型のベース領域43の外周部にこれを取り囲むようにしてこのベース領域43よりも接合深さの深い電界緩和領域としてのガードリング91が形成されていると共に、ベース領域43の外のn型の半導体基板42の領域に同じく接合深さの深い例えば4本の環状をなす電界緩和領域としてのフィールドリミッティングリング92を設けた構成としている。

【0095】

4本のフィールドリミッティングリング92は、その本数、接合深さおよび配置間隔が半導体基板42の不純物濃度や種々の物性定数を基にして決められるもので、隣接するフィールドリミッティングリング92間で分担する電位差が適切な範囲に入るように設定されているものである。

【0096】

ガードリング91の部分には、エミッタトレチ72の形成工程においてそのエミッタトレチ72と同じ深さで対応する形状に第3の溝としてのリング用トレンチ93aが形成されている。そして、Pボディ層73形成工程と同じ工程において、このリング用トレンチ93aを介してイオン注入処理を行うことによりp型の不純物を導入してp型のガードリング91を形成し、さらにコンタクト形成用としてリング用トレンチ93を介して不純物を導入することで高濃度のp型領域94を形成している。リング用トレンチ93aの内部には高濃度のp型領域94とオーミックコンタクトを形成するようにエミッタ電極50が延長して設けられている。

【0097】

フィールドリミッティングリング92の部分には、あらかじめ、島状のp型ベース領域43を形成する際に同時にその形状に対応したリング状のp型領域43aを形成している。そして、エミッタトレチ72の形成工程においてそのエミッタトレチ72と同じ深さで対応する形状に第3の溝としてのリング用トレンチ93bが形成される。

【0098】

そして、Pボディ層73形成工程と同じ工程において、このリング用トレンチ

93bを介してイオン注入処理を行うことによりp型の不純物を導入してp型のフィールドリミッティングリング92を形成し、さらにコンタクト形成用としてリング用トレンチ93bを介して不純物を導入することで高濃度のp型領域95を形成している。各p型領域95には、エミッタ電極50を形成する際に、同時にフィールドリミッティングリング92と対応する形状にリング用電極96が形成されており、フィールドリミッティングリング92の全周に渡って電位が等しくなるように形成されている。各フィールドリミッティングリング92の間においては、半導体基板42の表面部分にLOCOS97が形成されており、表面部分での空乏層の広がりを阻害する蓄積層の形成を抑制するようになっている。

【0099】

これにより、島状のベース領域43はその外周部分においてガードリングが形成され、その外周の半導体基板42の表面領域にはフィールドリミッティングリング領域が設けられ、半導体チップの最外周部分にはいわゆるEQRを設けるEQR領域として形成された状態となる。また、ガードリングの領域よりも外周部分の表面には絶縁膜による保護膜98が形成されている。

【0100】

このような構成とすることで、ガードリング91およびフィールドリミッティングリング92により、エミッタEとコレクタCとの間に電圧が印加された状態では、主としてベース領域43の外側のn型領域（半導体基板42側）に空乏層が広がるようになる。このとき、ベース領域43の端部におけるpn接合の曲率が小さいと電界集中が起こりやすくなつて耐圧が低下しやすくなるが、ガードリング91が深い位置まで形成されているので、曲率が大きくなつて電界集中を緩和することができる。

【0101】

また、ベース領域43の外側のn型領域（半導体基板42側）では、半導体基板42の表面の空乏層の広がりが抑制される傾向にあるので、バルクよりも電界集中が起こりやすい状態となるが、フィールドリミッティングリング92が適切な間隔を持って配置されているので、それぞれの間で絶縁破壊を起こさない程度の適切な電位差に分担され、空乏層の広がりを良好にすることができる。

【0102】

これによって、全体としての耐圧を高めることができるようになる。また、この場合において、従来構造のもの（図24参照）と異なり、深い接合のガードリング91やフィールドリミッティングリング92を形成する際に、リング用トレチ93a, 93bを形成して不純物の導入を行うので、横方向への不純物の拡散を少なくして形成することができるようになり、全体としてチップサイズが大型化するのを抑制することができるようになる。

【0103】

図19は、上記構成の外周構造を有するダイオードを試作してその耐圧を測定した結果を示すものである。ここでは、同一半導体基板に、ガードリング91の曲率、フィールドリミッティングリング92の本数および、間隔が等しい構造で、深さが $1.0\mu m$ のリング用トレチ93a, 93bから高加速イオン注入処理でp型不純物を導入して接合深さを $2.2\mu m$ とした構成を用いた。全体としてガードリング91とフィールドリミッティングリング92の接合深さは、半導体基板42の表面から $3.2\mu m$ となる。比較のために、従来構成（図24参照）の高耐圧ダイオードを試作してその他圧を測定した。このときのガードリングおよびフィールドリミッティングリングの接合深さは $4.0\mu m$ である。

【0104】

この図19から明らかなように、本発明にかかる構造のものでも従来構成のものと同等以上の耐圧（800V以上）を得ることができた。これによって、深い接合深さを必要とする高耐圧構造を、ガードリング91やフィールドリミッティングリング92の横方向への拡散を抑制して得ることができ、チップサイズの増大を抑制することができるようになる。

【0105】

(他の実施形態)

本発明は、上記実施形態にのみ限定されるものではなく、次のように変形または拡張できる。

第1の実施形態においては、ベース領域43を2回のイオン注入処理により不純物を導入して行うようにしたが、これに限らず、3回以上のイオン注入処理に

より不純物を導入する工程を採用することもできる。また、それぞれのイオン注入処理におけるイオンの注入量やイオン種は適宜変更することができる。

【0106】

第2の実施形態においては、Pボディ領域73を2回のイオン注入処理により不純物を導入して行うようにしたが、上述同様に、3回以上のイオン注入処理を行って形成しても良いし、イオン種や注入量も適宜変更することができる。

【0107】

また、ゲート電極48の平面パターンも、IGBT81, 83, 84以外にも適宜の形状に形成することができる。

第3の実施形態においては、フィールドリミッティングリング92を4本等間隔に配置した場合のIGBTの例を示したが、これ以外にも、2本あるいは3本としても良いし、5本以上設ける構成とすることもできる。また、配置間隔も必要に応じて不等間隔にすることができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態を示すトレンチゲート型MOSFETおよびトレンチゲート型IGBTのゲート部分の模式的縦断側面図

【図2】

製造工程毎に示すゲート部分の模式的縦断側面図

【図3】

チャンネルに沿った部分の深さ方向の不純物濃度分布を示す図

【図4】

しきい値およびシート抵抗の測定結果を従来品と比較して示す図

【図5】

サブショルド係数の測定結果を従来品と比較して示す図

【図6】

コンダクタンスの測定結果を従来品と比較して示す図

【図7】

本発明の第2の実施形態の第1のタイプを示す図1相当図

【図8】

図2相当図（その1）

【図9】

図2相当図（その2）

【図10】

第2のタイプを示す図1相当図

【図11】

ゲート電極部分の配置状態を示す平面図

【図12】

第3および第4のタイプを示す図11相当図

【図13】

第5および第6のタイプを示す図11相当図

【図14】

降伏電圧をシミュレーションした結果を示す図

【図15】

第1のタイプ（b）および第2のタイプ（c）の降伏時の電界強度分布状態をシミュレーションした結果を従来構成（a）の結果とともに示す図

【図16】

第1、第2、第6の各タイプと従来構成のIGBTのコレクタ電圧V_{ce}に対するコレクタ電流とI_cの特性のシミュレーション結果を示す図

【図17】

第1、第2の各タイプと従来構成のIGBTのチャネルに沿った部分の電子密度分布のシミュレーション結果を示す図

【図18】

本発明の第3の実施形態を示す要部の模式的な縦断側面図

【図19】

ダイオードを高耐圧構造を用いて形成した場合の耐圧測定結果を示す図

【図20】

従来例を示す図2相当図

【図21】

チャネルに沿った深さ方向の不純物濃度分布の図

【図22】

隣接するトレンチの間の構成を示す異なる例

【図23】

Pボディ層を形成する場合の図2相当図

【図24】

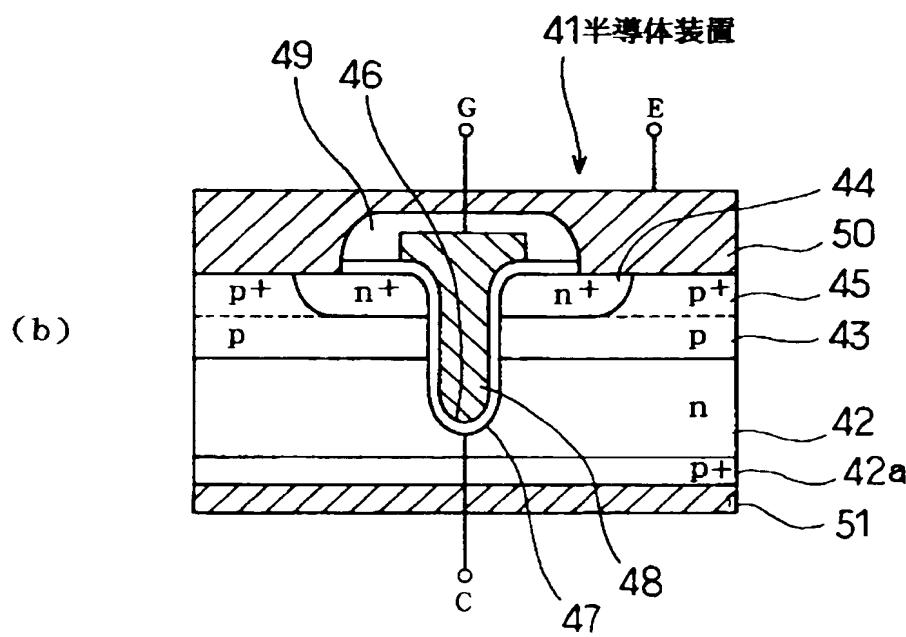
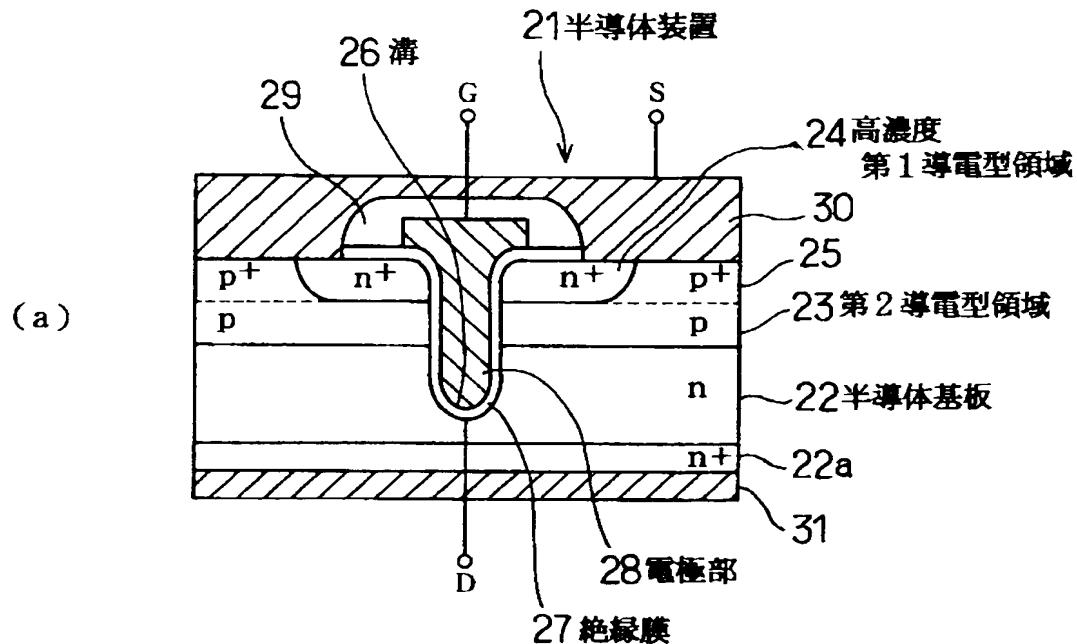
図19相当図

【符号の説明】

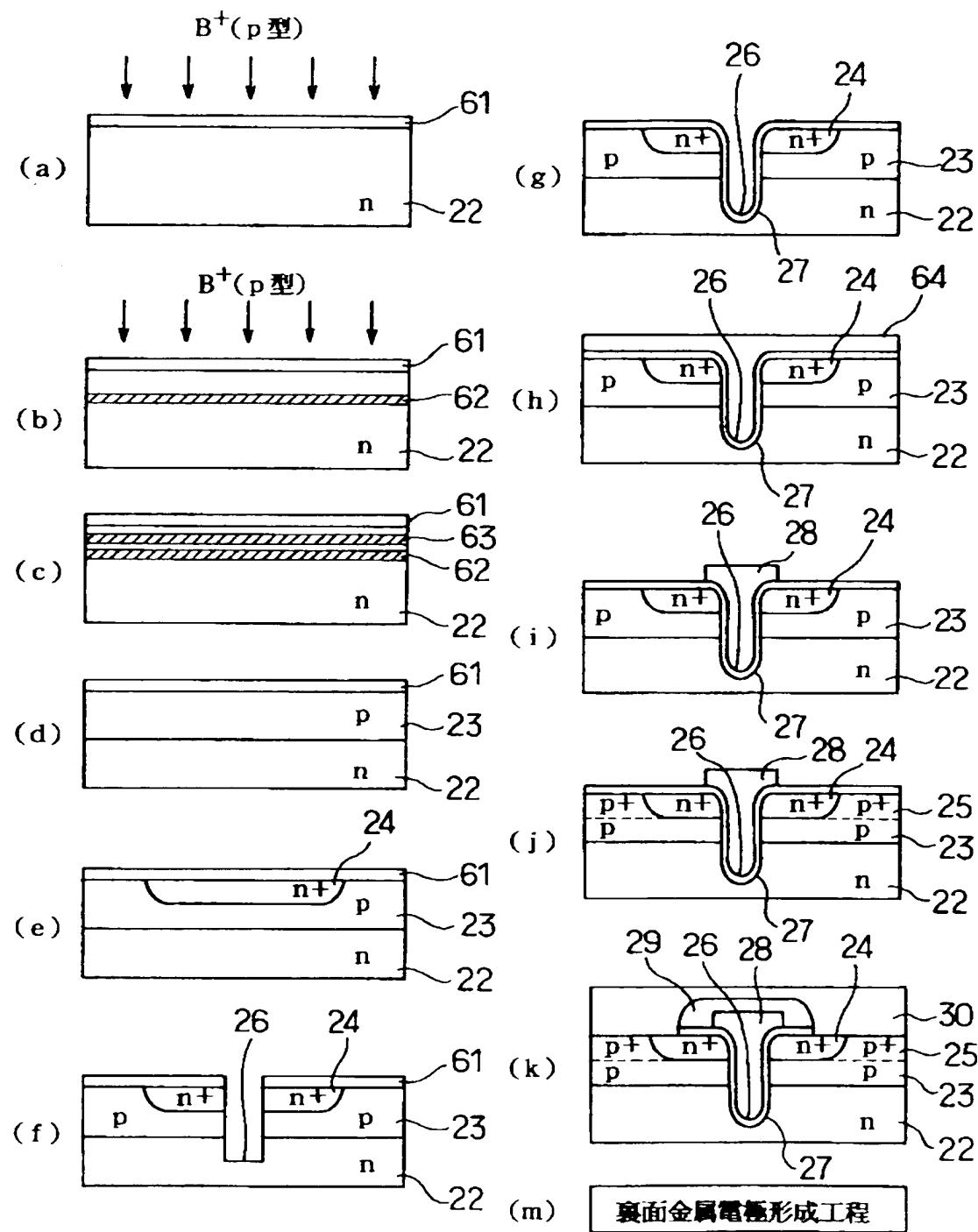
21はトレンチゲート型MOSFET（半導体装置）、22, 42は半導体基板、23, 43はベース領域（第2導電型領域）、24はソース領域（高濃度第1導電型領域）、25, 45は高濃度P型領域、26, 46はトレンチ（第1の溝）、27, 47はゲート絶縁膜（絶縁膜）、28, 48はゲート電極（電極部）、29, 49, 82は絶縁膜、30はソース電極、31はドレイン電極、41, 71, 81, 83, 84, 85, 86はトレンチゲート型IGBT（半導体装置）、44はエミッタ領域（高濃度第1導電型領域）、50はエミッタ電極、51はコレクタ電極、61はマスク材、62, 63, 76, 77, 78はイオン注入層、64は多結晶シリコン層、72はエミッタトレンチ、73はPボディ層（第2導電型突出領域）、75はマスク材、91はガードリング（電界緩和領域）、92はフィールドリミッティングリング（電界緩和領域）、93a, 93bはリング用トレンチ（第3の溝）、94, 95は高濃度P型領域、96はリング用電極、97はLOCOS、98は絶縁膜である。

【書類名】 図面

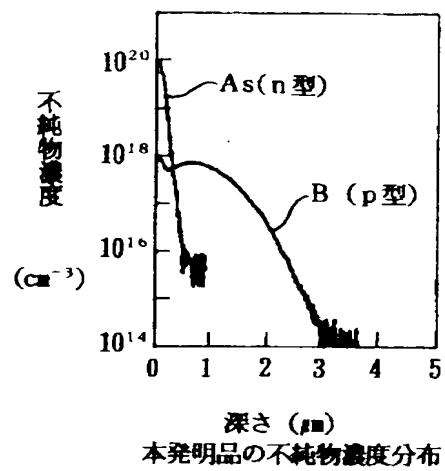
【図1】



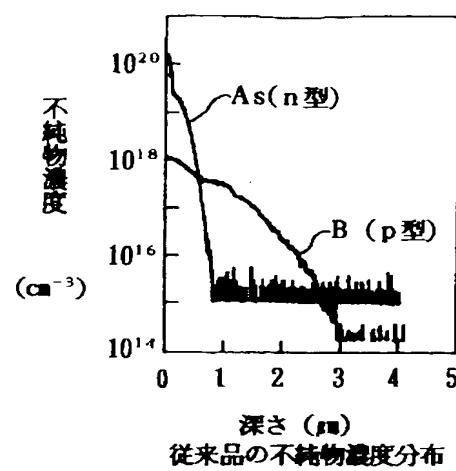
【図2】



【図3】

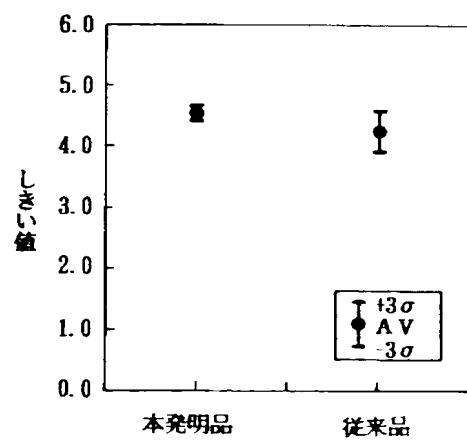


(a)

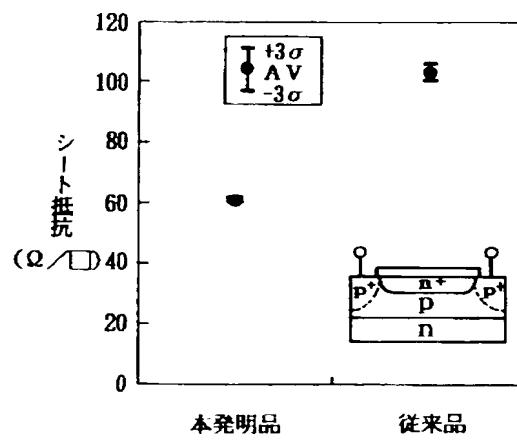


(b)

【図4】

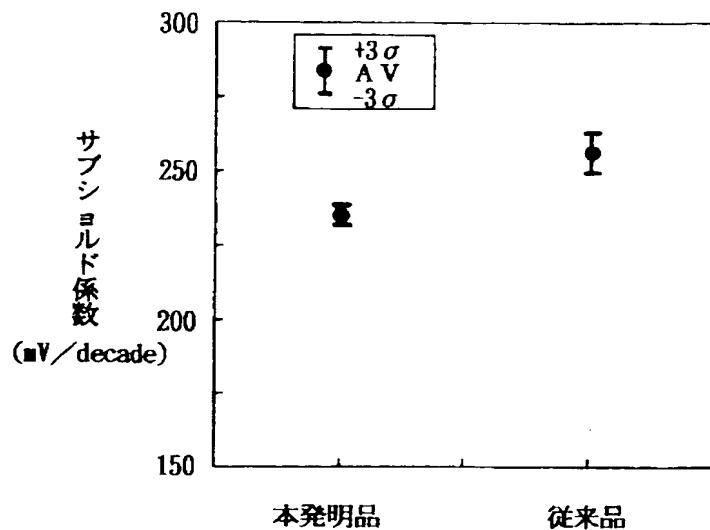


(a)

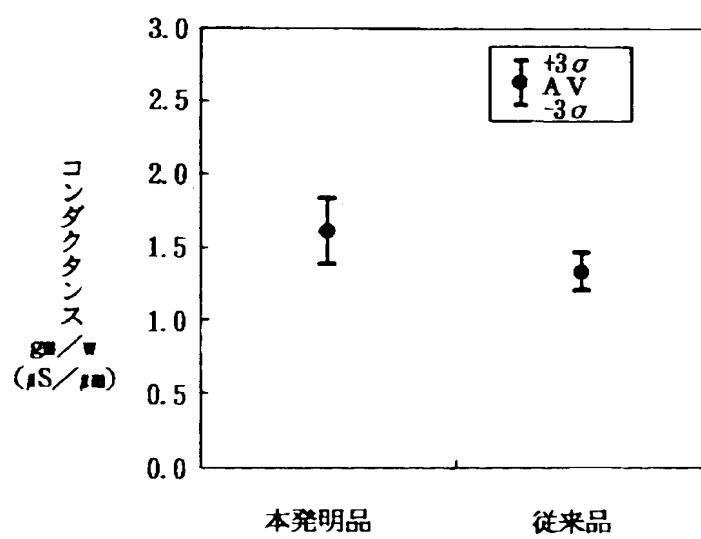


(b)

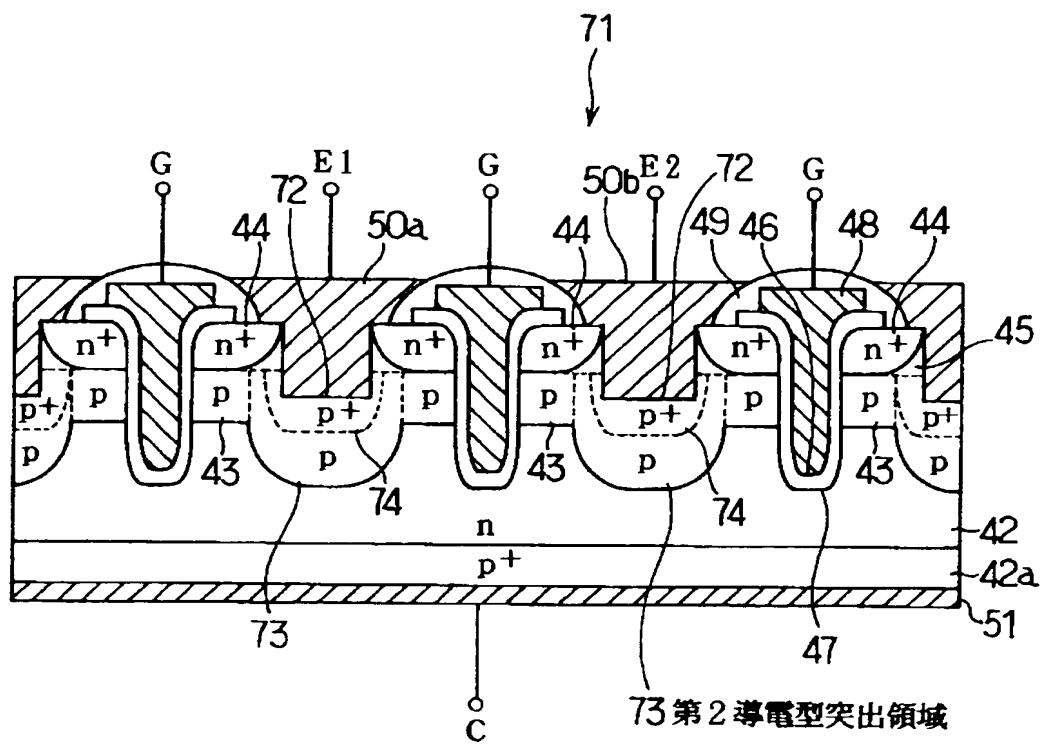
【図5】



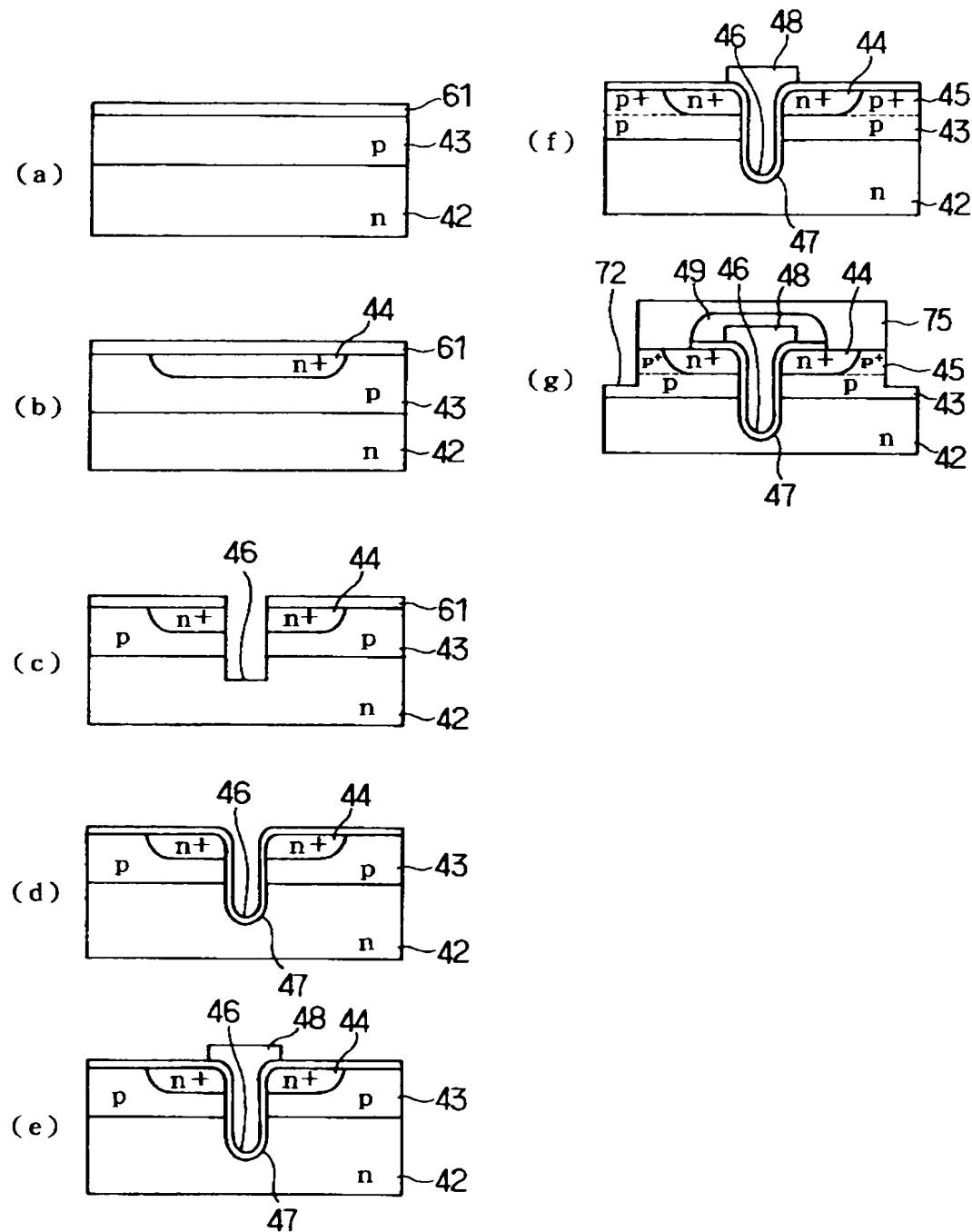
【図6】



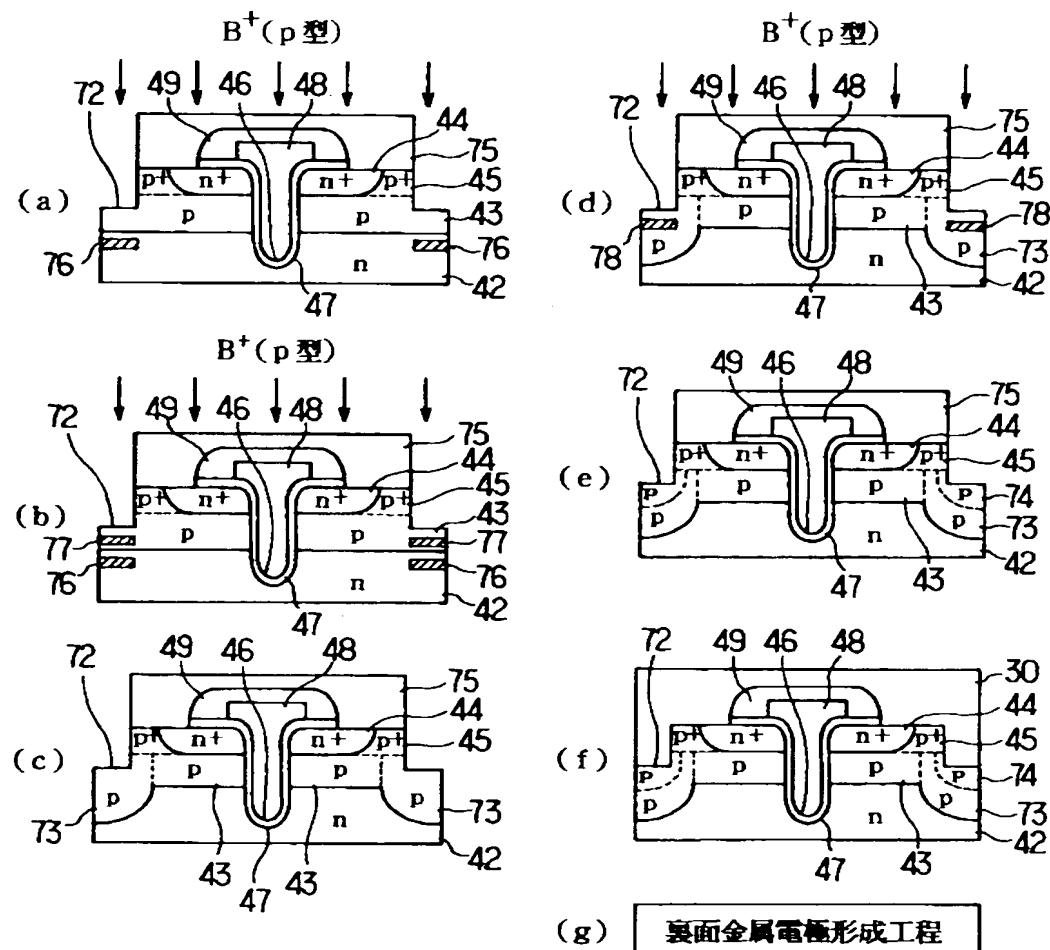
【図7】



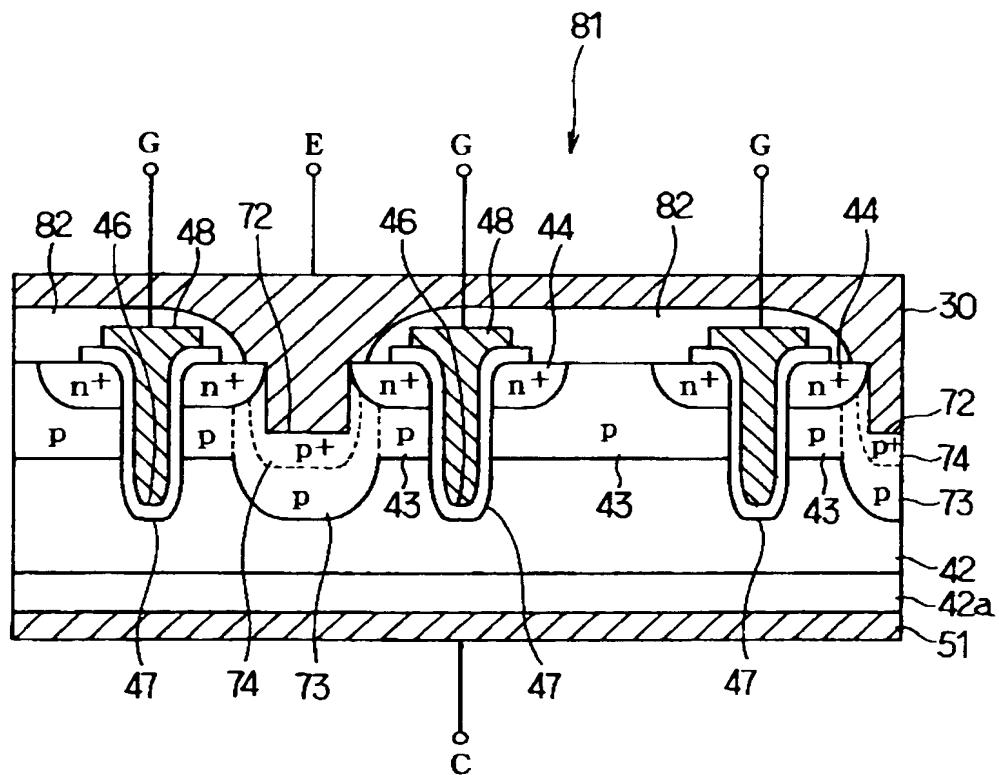
【図8】



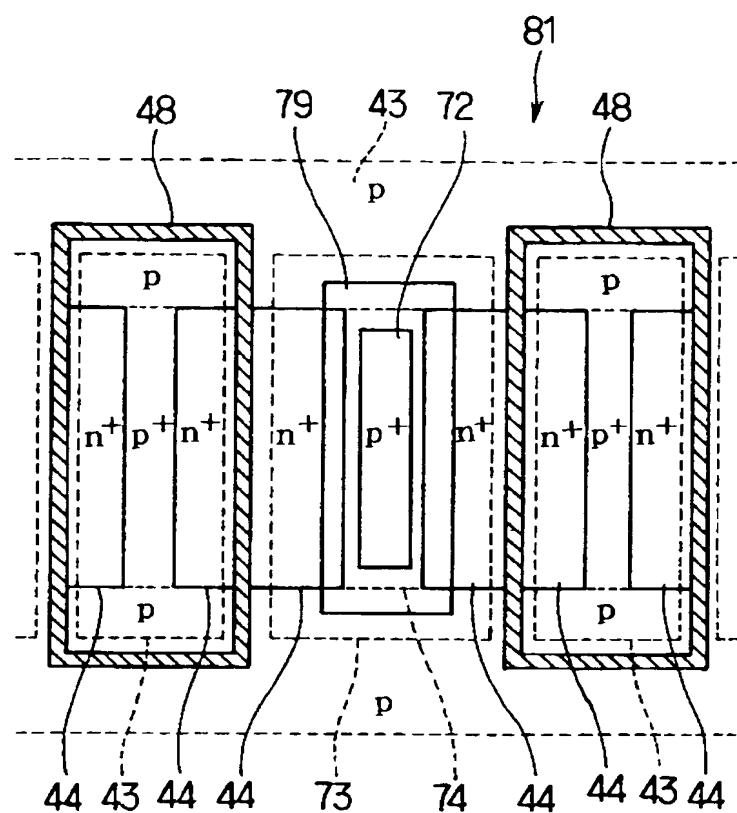
【図9】



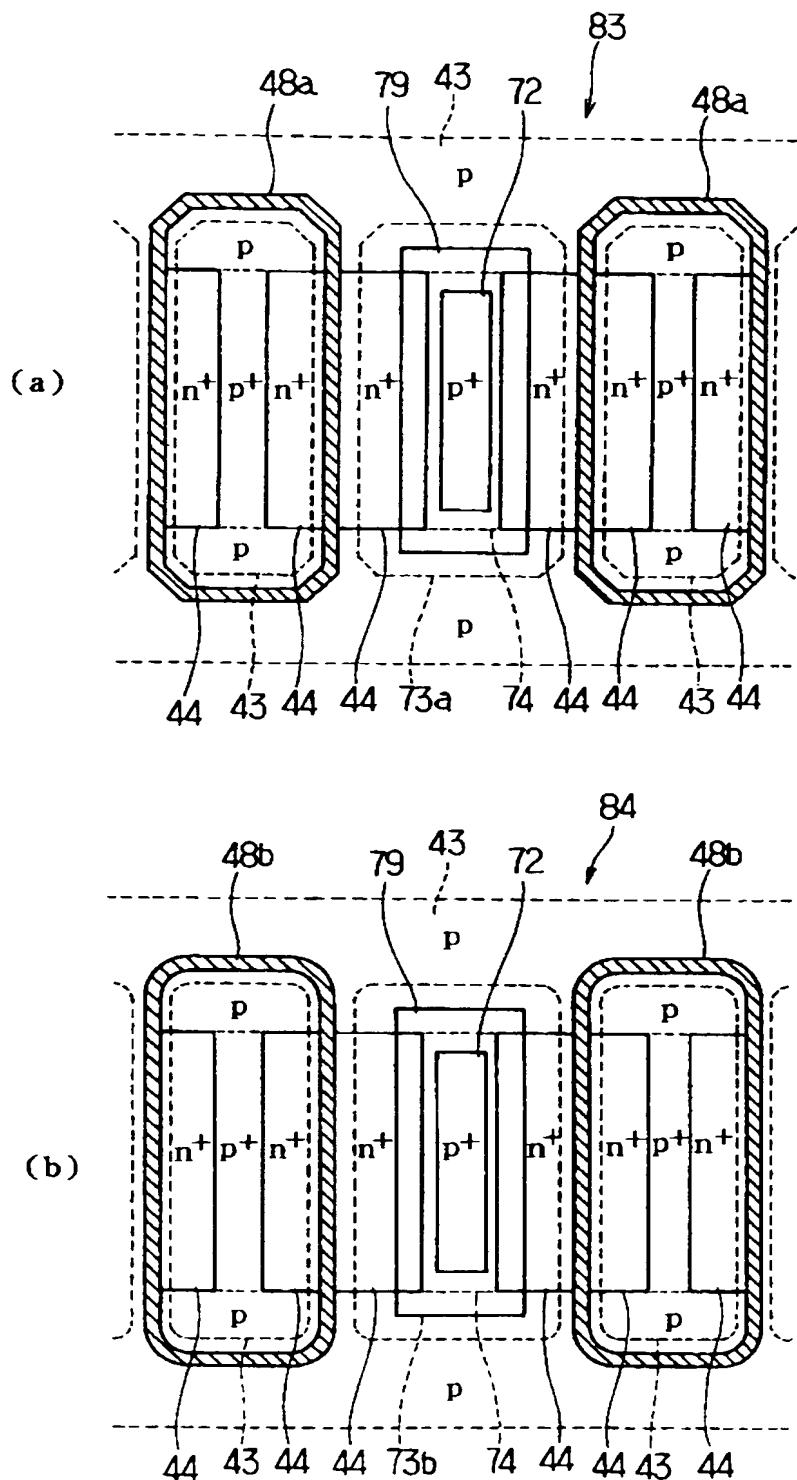
【図 10】



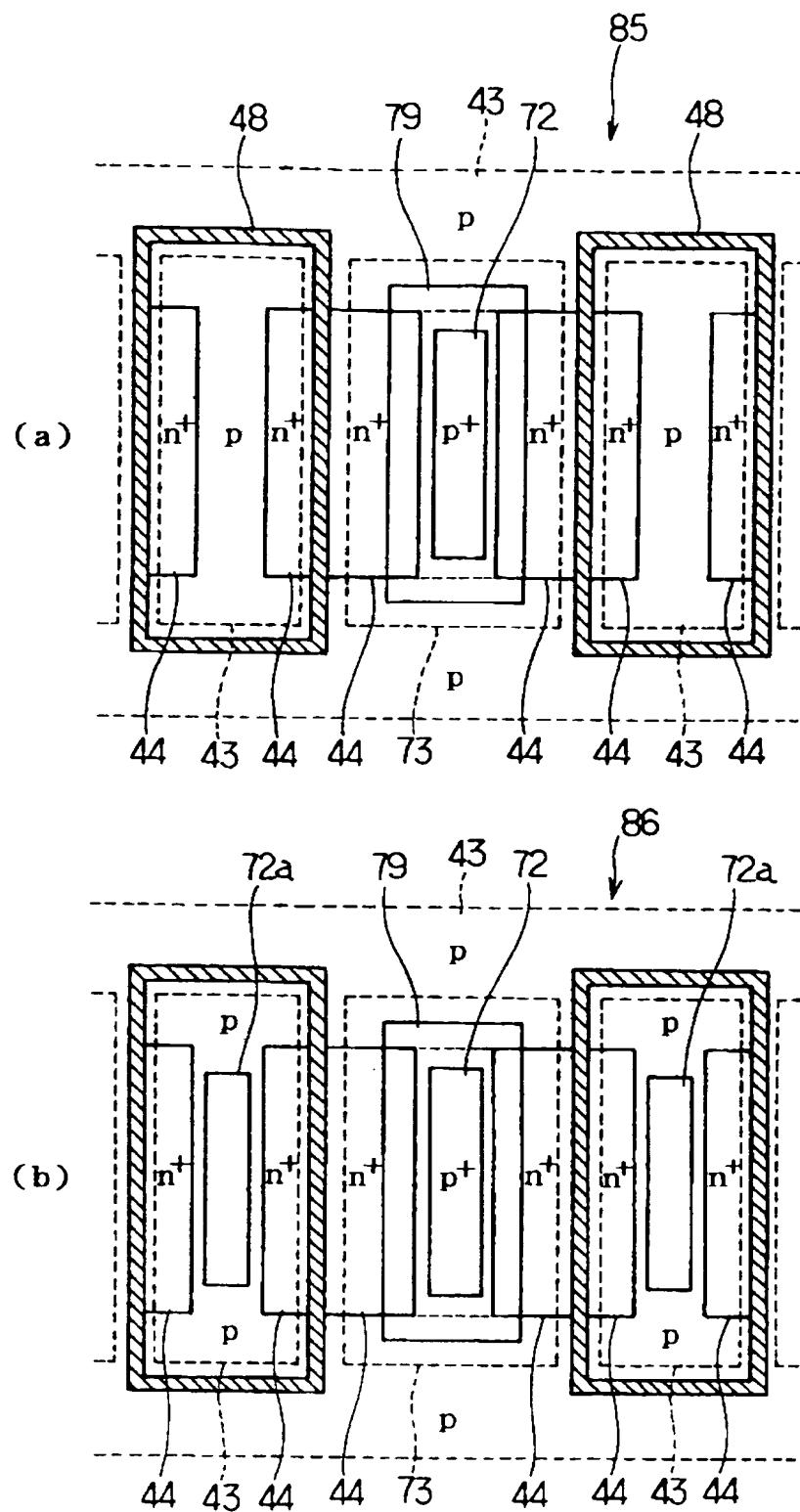
【図11】



【図12】

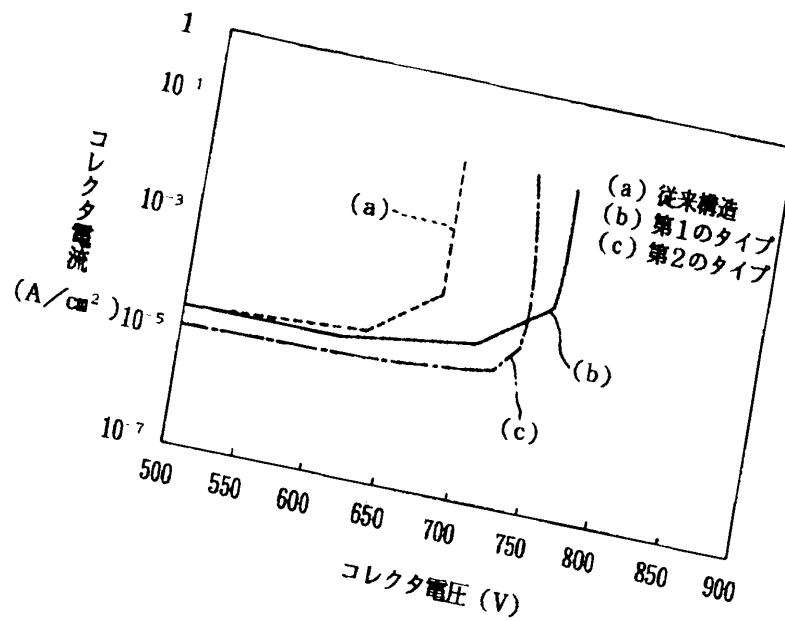


【図13】



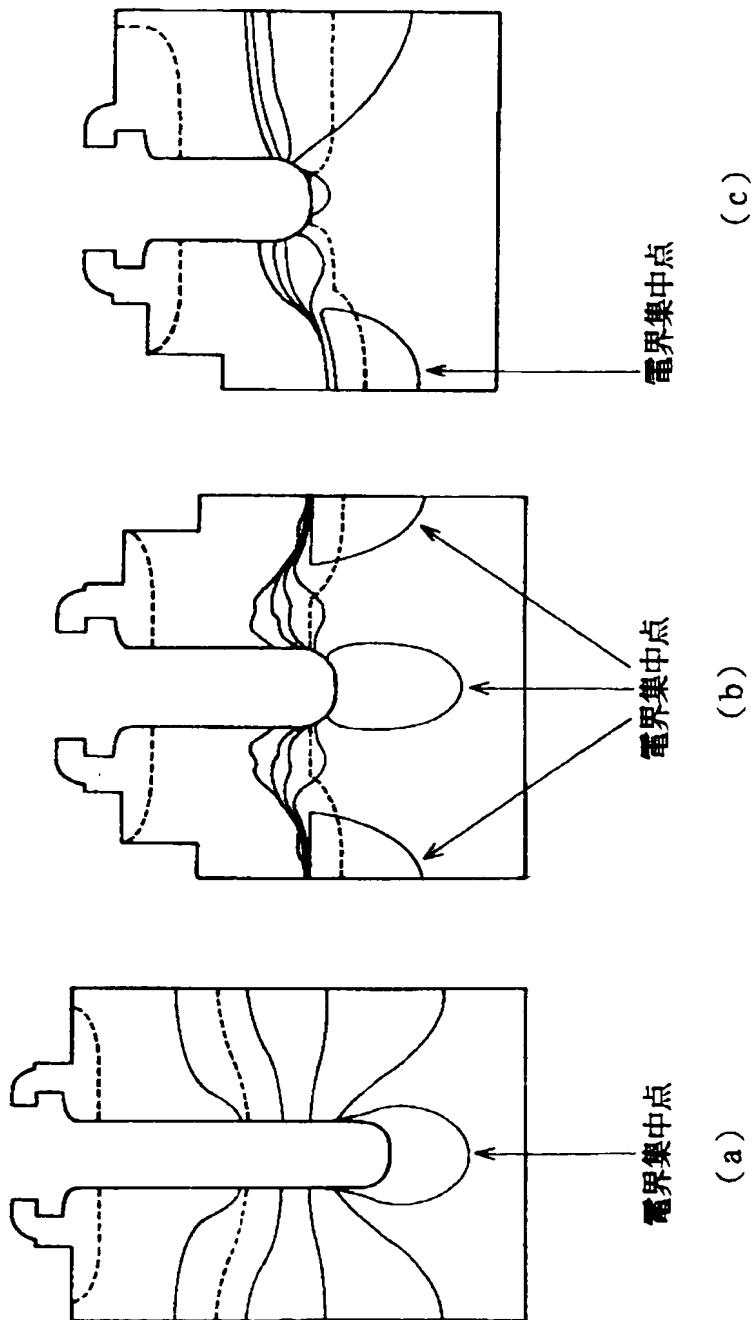
特2000-159685

【図14】

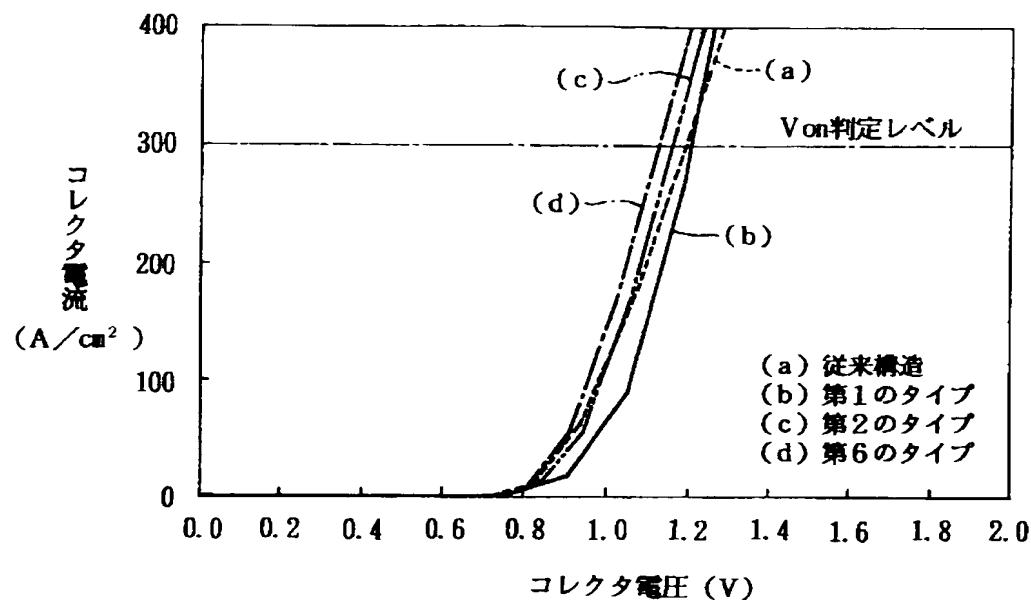


特2001-3018964

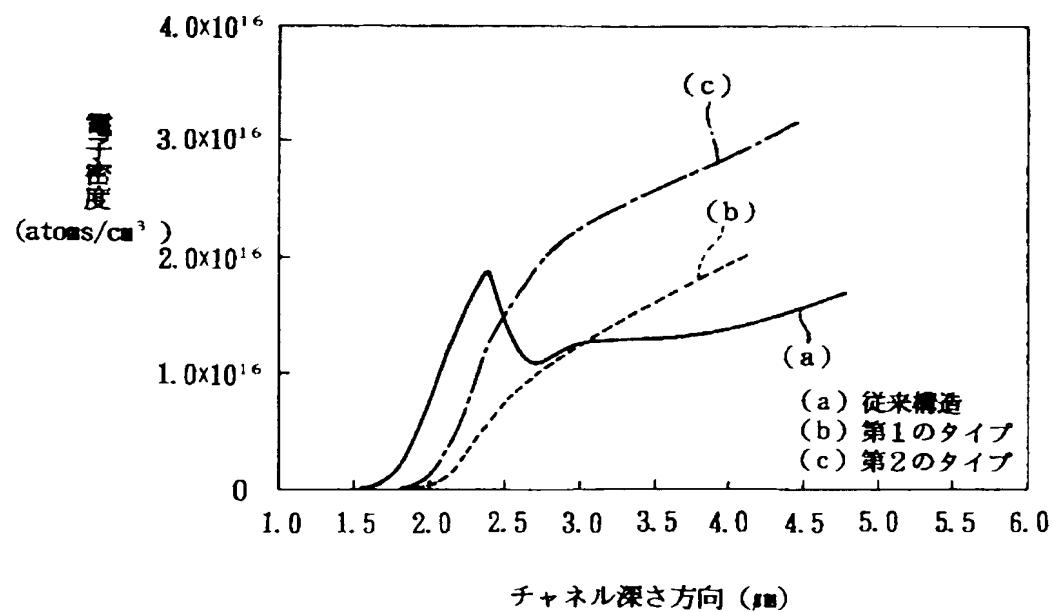
【図15】



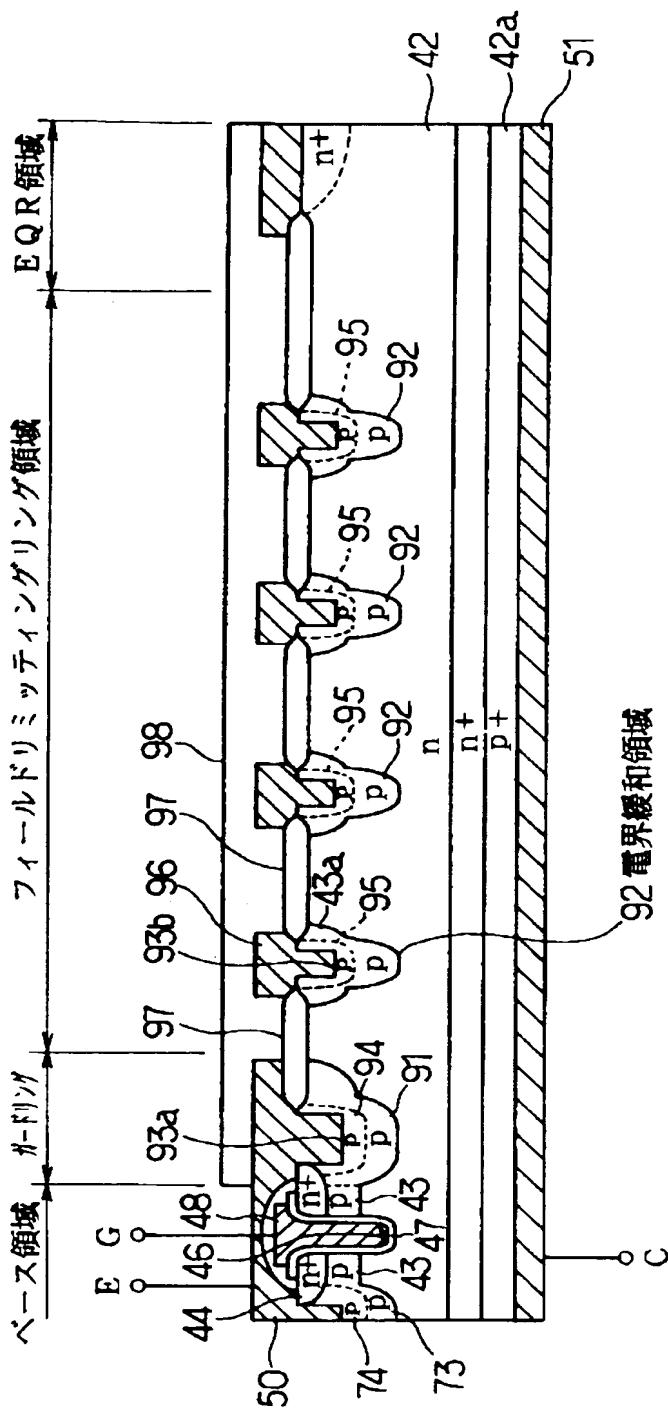
【図16】



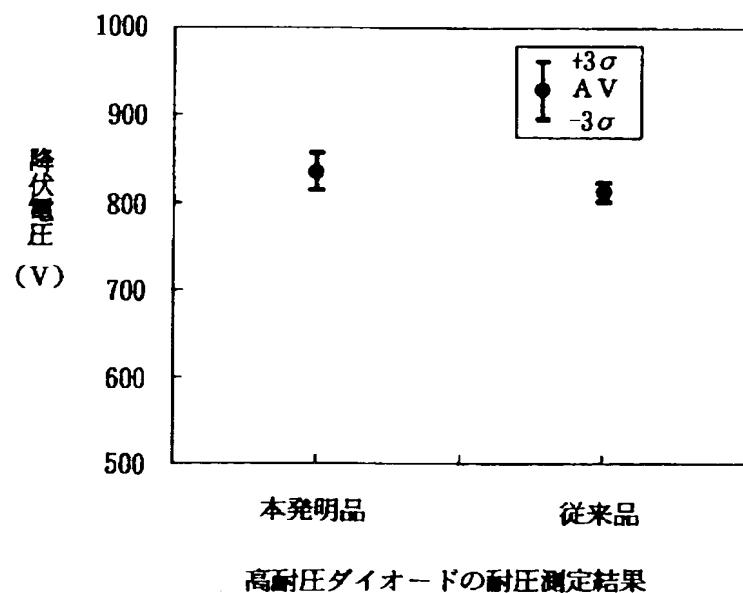
【図17】



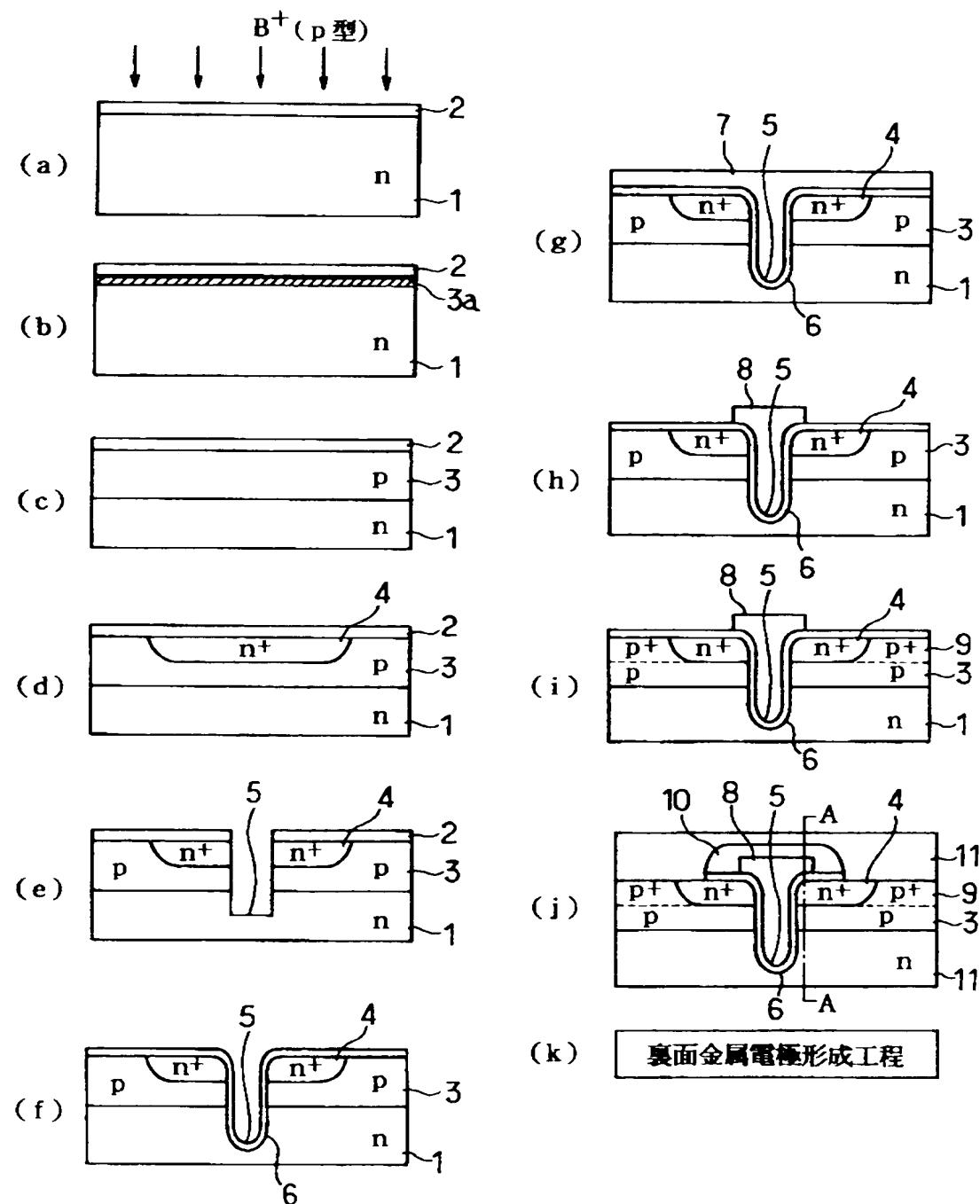
【図18】



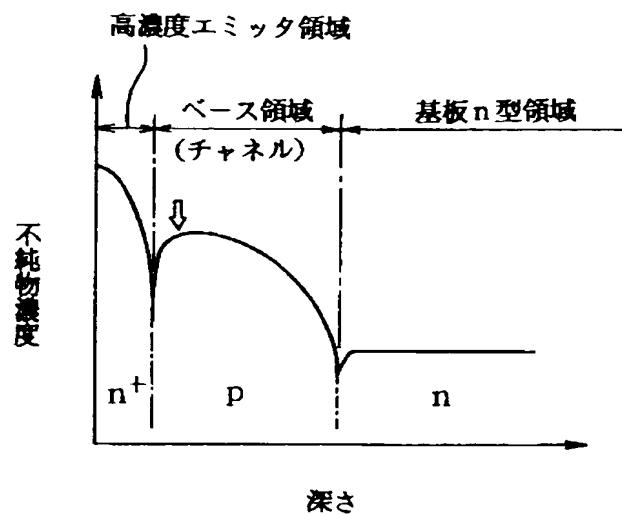
【図19】



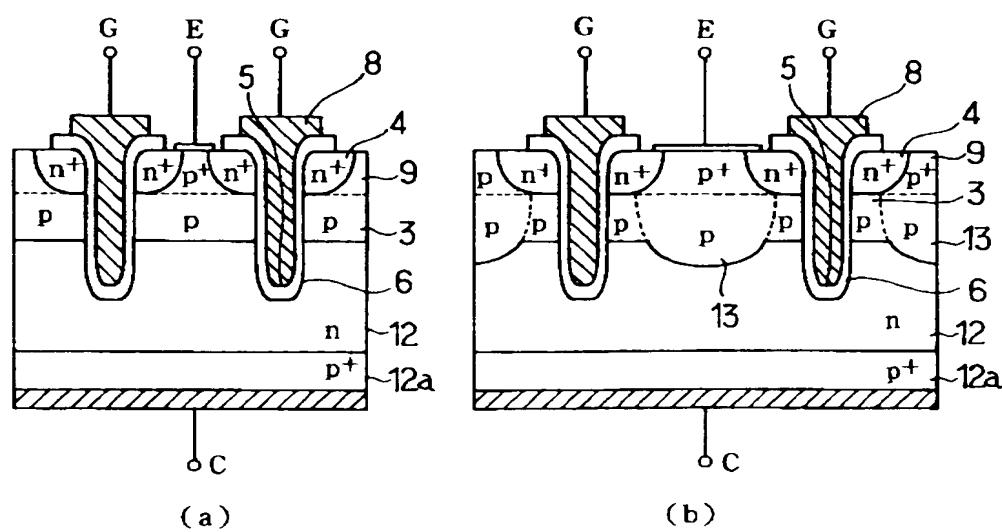
【図20】



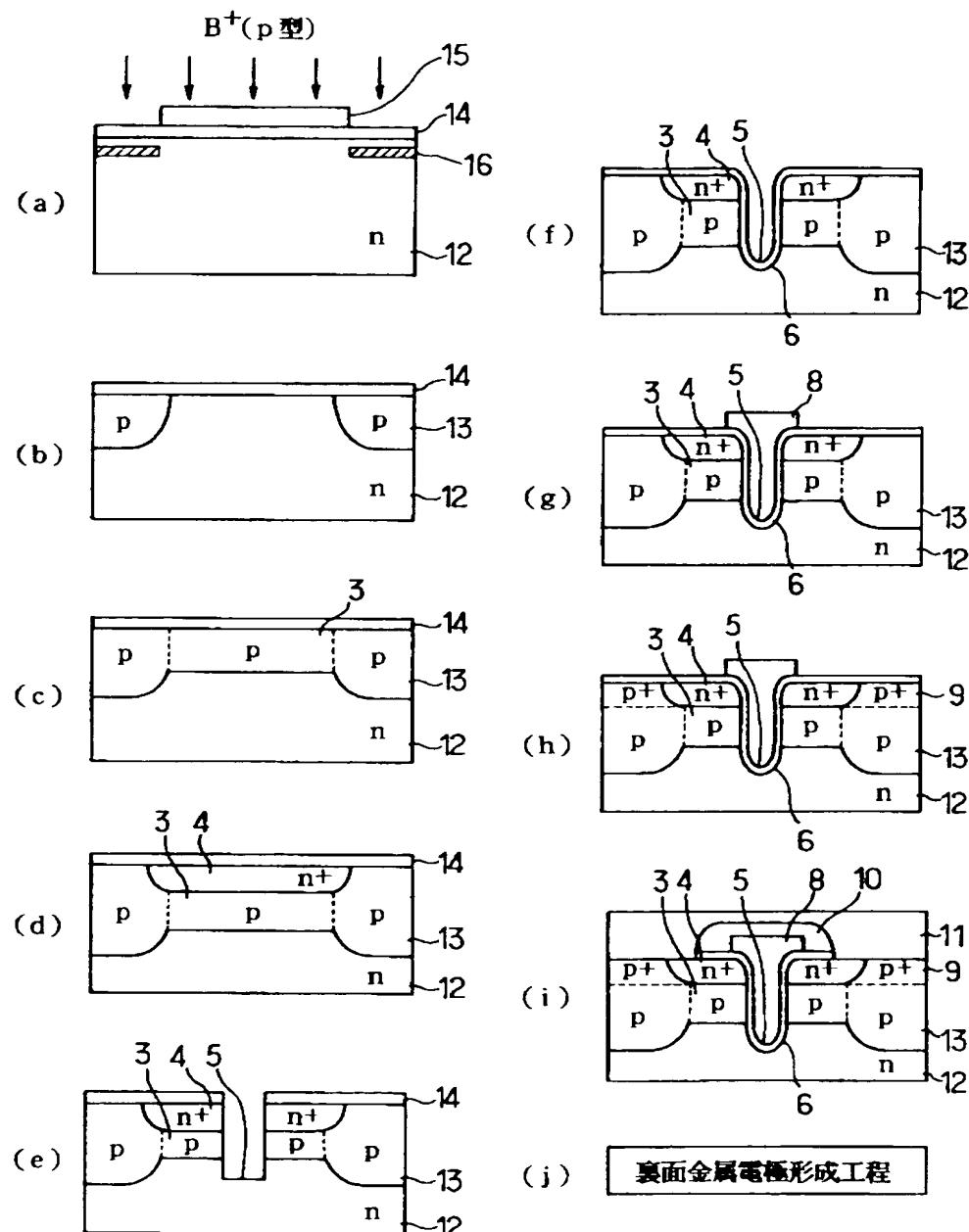
【図21】



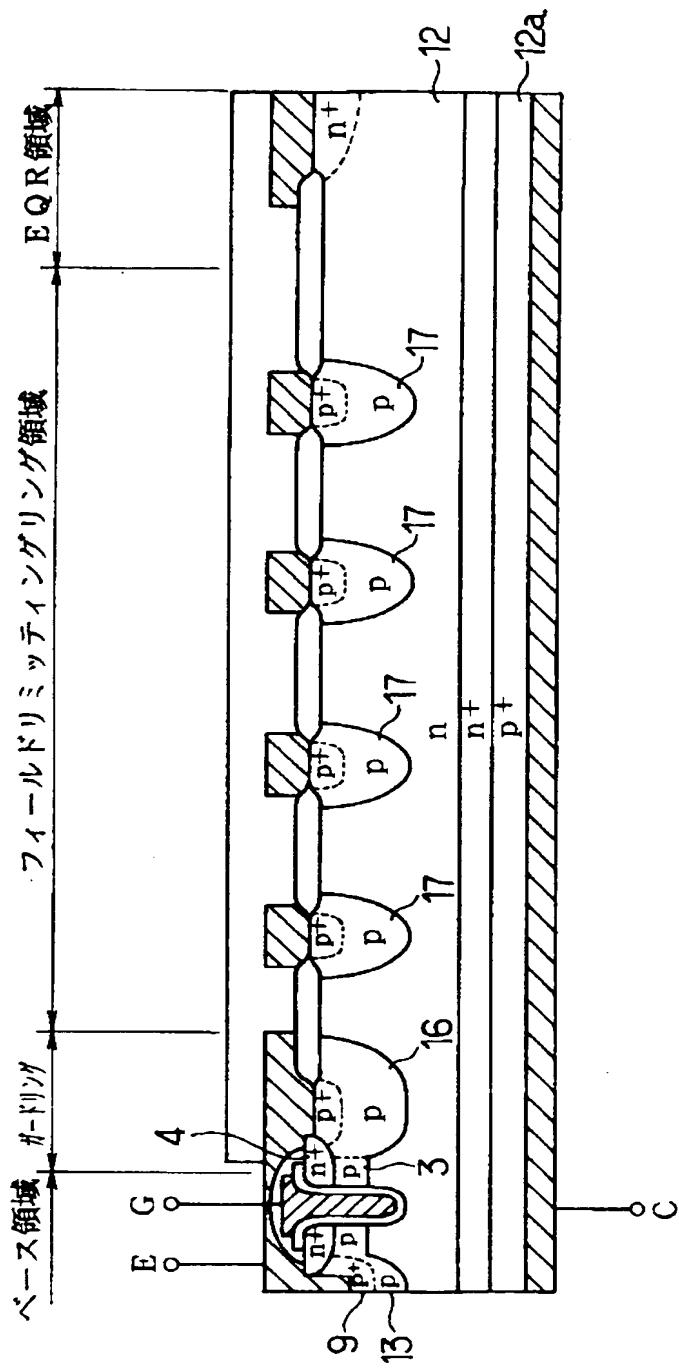
【図22】



【図23】



【図24】



【書類名】 要約書

【要約】

【課題】 トレンチゲート型のFETやIGBTでチャネル部の不純物濃度分布を改善してしきい値のばらつきを解消し、電流集中による破壊を防止し、カットオフ特性の劣化も防止する。

【解決手段】 n型の半導体基板22に対して、p型の島状のベース領域23を、高加速イオン注入を行って((a)～(c))熱処理することで、チャネル部の不純物濃度が深さ方向に対してなだらかな変化の分布となるように形成する。これにより、しきい値のばらつきを少なくし、Pinch抵抗を低減し、さらにサブショルド係数およびコンダクタンス特性を改善することができる。

【選択図】 図2

特2000-159685

出願人履歴情報

識別番号 [000004260]

1. 変更年月日 1996年10月 8日

[変更理由] 名称変更

住 所 愛知県刈谷市昭和町1丁目1番地
氏 名 株式会社デンソー